

**UNIVERZITET CRNE GORE**  
**ELEKTROTEHNIČKI FAKULTET PODGORICA**

*Spec. Sci Milan Rešetar*

**Diferencijalni kapacitivni senzor sa strujnim  
procesiranjem na bazi pretvaranja diferencijalne  
kapacitvnosti u digitalizovani vremenski interval**

**-MAGISTARSKI RAD-**

Podgorica, 2023. Godine

## **PODACI I INFORMACIJE O MAGISTRANDU**

**Ime i prezime:** Milan Rešetar

**Datum i mjesto rođenja:** 22.08.1997. godine, Bar, Crna Gora

**Naziv završenog osnovnog studijskog programa i godina diplomiranja:** Elektronika, telekomunikacije i računari, 2018.

**Naziv završenog specijalističkog studijskog programa i godina diplomiranja:** Elektronika, 2019.

## **INFORMACIJE O MAGISTARSKOM RADU**

Elektrotehnički fakultet Podgorica

Postdiplomske magistarske akademske studije

Smjer: Elektronika

**Naslov rada:** Diferencijalni kapacitivni senzor sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval

## **OCJENA I ODBRANA MAGISTARSKOG RADA**

Datum prijave magistarskog rada:

Datum sjednice Vijeća univerzitetske jedinice na kojoj je prihvaćena tema:

Komisija za ocjenu teme:

**Prof. dr Nikša Tadić,**  
Univerzitet Crne Gore,  
Elektrotehnički fakultet Podgorica

**Prof. dr Zoran Mijanović,**  
Univerzitet Crne Gore,  
Elektrotehnički fakultet Podgorica

**Prof. dr Milena Erceg,**  
Univerzitet Crne Gore,  
Elektrotehnički fakultet Podgorica

Mentor:

**Prof. dr Nikša Tadić,**  
Univerzitet Crne Gore,  
Elektrotehnički fakultet Podgorica

Komisija za ocjenu rada:

**Prof. dr Nikša Tadić,**  
Univerzitet Crne Gore, mentor  
Elektrotehnički fakultet Podgorica

**Prof. dr Zoran Mijanović,**  
Univerzitet Crne Gore, predsjednik  
Elektrotehnički fakultet Podgorica

**Prof. dr Milena Erceg,**  
Univerzitet Crne Gore, član  
Elektrotehnički fakultet Podgorica

Komisija za odbranu rada:

**Prof. dr Nikša Tadić,**  
Univerzitet Crne Gore, mentor  
Elektrotehnički fakultet Podgorica

**Prof. dr Zoran Mijanović,**  
Univerzitet Crne Gore, predsjednik  
Elektrotehnički fakultet Podgorica

**Prof. dr Milena Erceg,**  
Univerzitet Crne Gore, član  
Elektrotehnički fakultet Podgorica

Datum odbrane:

Datum promocije:

Ime i prezime autora: Milan Rešetar, Spec. Sci

## ETIČKA IZJAVA

---

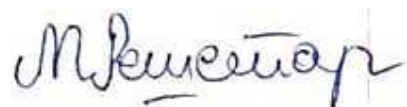
U skladu sa članom 22 Zakona o akademskom integritetu i članom 24 Pravila studiranja na postdiplomskim studijama, pod krivičnom i materijalnom odgovornošću, izjavljujem da je magistarski rad pod naslovom

**"Diferencijalni kapacitivni senzor sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval"**

moje originalno djelo.

**Podnosilac izjave,**

**Milan Rešetar, Spec. Sci**



U Podgorici, dana 08.05.2023. godine

# Apstrakt

---

Diferencijalni kapacitivni senzor sa strujnim procesiranjem, sa kombinovanjem integracija sa jednim i dva nagiba, i sa pretvaranjem normalizovane diferencijalne kapacitivnosti u digitalizovani vremenski interval predstavlja temu ovog magistarskog rada. Predloženi dizajn se bazira na integraciji referentne struje koja protiče kroz kondenzatore diferencijalnog kapacitivnog senzora. Integracija na kondenzatoru manje kapacitivnosti obavlja se sa dvostrukim nagibom. Sa druge strane, integracija na kondenzatoru veće kapacitivnosti obavlja se sa jednim nagibom. Normalizovana diferencijalna kapacitivnost definisana kao odnos razlike i zbira kapacitivnosti diferencijalnog kapacitivnog senzora proporcionalna je trajanju samo jednog vremenskog intervala koji se digitalizuje primjenom brojačke metode. Ne postoji potreba za post-procesiranjem u predloženom konvertoru normalizovane diferencijalne kapacitivnosti u digitalizovani vremenski interval. Prototip je napravljen korišćenjem diskretnih komponenti povezanih na štampanoj ploči univerzalnog tipa, sa unipolarnim naponom napajanja od 3.3 V. Izmjerena normalizovana diferencijalna kapacitivnost nalazi se u opsegu od -0.612 do 0.612, sa konstantnom sumom kapacitivnosti diferencijalnog kapacitivnog senzora od 970 pF. Postignuta je greška pune skale manja od 0.3 %, sa brzinama u opsegu od 1770 (za nultu vrijednost normalizovane diferencijalne kapacitivnosti) do 2755 (za maksimalnu vrijednost normalizovane diferencijalne kapacitivnosti) konverzija normalizovane diferencijalne kapacitivnosti u digitalizovani vremenski interval u sekundi.

**Ključne riječi:** diferencijalni kapacitivni senzor, integracija sa jednim/dva nagiba, interfejs sa strujnim procesiranjem, normalizovana diferencijalna kapacitivnost, post-procesiranje

# Abstract

---

The subject of this M.Sc. Thesis is the differential capacitive sensor with a current-mode signal processing, with mixed single/dual slope integration, and normalized differential capacitance to digitized time interval conversion. The proposed design is based on the integration of the reference current flowing through the capacitors of the differential capacitive sensor. The integration on the capacitor of a smaller capacitance is performed with a dual slope. On the other hand, the integration on the capacitor of a larger capacitance is performed with only one slope. The normalized differential capacitance defined as the difference-to-sum ratio of the capacitances of the differential capacitive sensor is proportional to the duration of only one time interval which is digitized using the counting method. There is no need for post-processing in the proposed converter of the normalized differential capacitance to digitized time interval. It has been prototyped using discrete off-the-shelf components mounted on a printed circuit board, with a single supply voltage of 3.3 V. The measured normalized differential capacitance is in the range from -0.612 to 0.612, with the constant sum of the capacitances of the differential capacitive sensor of 970 pF. Achieved full scale error is smaller than 0.3 %, with a range of conversion speed from 1770 (for the zero value of the normalized differential capacitance) to 2755 (for the largest value of the normalized differential capacitance) conversions of the normalized differential capacitance to digitized time interval per second.

**Key words:** Differential capacitive sensor, mixed single/dual slope integration, current-mode interface, normalized differential capacitance, post-processing

## Sadržaj

<b>Uvod .....</b>	<b>1</b>
<b>Poglavlje 1. Princip funkcionisanja diferencijalnih kapacitivnih senzora.....</b>	<b>3</b>
<b>Poglavlje 2. Pregled postojećih rješenja diferencijalnih kapacitivnih senzora .....</b>	<b>5</b>
2.1 Diferencijalni kapacitivni senzor baziran na konverziji diferencijalne kapacitivnosti u napon 5	
2.1.1 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [1] .....	5
2.1.2 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [2] .....	6
2.1.3 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [3] .....	8
2.1.4 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [4] .....	10
2.1.5 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [5] .....	12
2.1.6 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [6] .....	14
2.1.7 DCS sa VCR-om na bazi konverzije diferencijalne kapacitivnosti u napon [7] .....	15
2.1.8 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [8] .....	17
2.2 Diferencijalni kapacitivni senzor baziran na konverziji diferencijalne kapacitivnosti u struju 20	
2.2.1 DCS baziran na konverziji diferencijalne kapacitivnosti u struju [9] .....	20
2.2.2 DCS baziran na konverziji diferencijalne kapacitivnosti u struju [10] .....	21
2.3 Diferencijalni kapacitivni senzor baziran na konverziji diferencijalne kapacitivnosti u vrijeme .....	24
2.3.1 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [11] .....	24
2.3.2 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [12] .....	26
2.3.3 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [13] .....	28
2.3.4 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [14] .....	30
2.3.5 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [15] i [16] .....	31
2.3.6 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [17] .....	32
2.3.7 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [18] .....	35
2.3.8 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [19] .....	37
2.3.9 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [20] .....	38
2.3.10 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme sa direktnom vezom priključaka DCS-a na mikrokontroler [21] i [22].....	40
2.4 Diferencijalni kapacitivni senzor baziran na konverziji diferencijalne kapacitivnosti u frekvenciju [23] .....	41
<b>Poglavlje 3. Diferencijalni kapacitivni senzor sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval.....</b>	<b>43</b>
3.1 Princip rada DCS-a sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval .....	43
3.2 Kontrolno kolo .....	46
3.3 Monostabilni multivibrator sa start-up kolom .....	49
3.4 Referentni strujni i naponski izvori.....	49

3.5 Analiza predloženog dcs-a uključujući parazitne kapacitivnosti i nesavršenost uparivanja strujnih izvora .....	50
<b>Poglavlje 4. Measurement set-up za mjerenje performansi diferencijalnog kapacitivnog senzora sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval .....</b>	<b>62</b>
<b>Poglavlje 5. Rezultati mjerenja i uporedna analiza .....</b>	<b>63</b>
<b>Poglavlje 6. Zaključak .....</b>	<b>73</b>
<b>Dodatak – fotografije prototipa algoritamskog instru-mentacionog pojačavača sa dinamičkom analognom obradom signala, realizovanog u diskretnoj tehnici .....</b>	<b>75</b>
<b>Literatura.....</b>	<b>78</b>



# Uvod

---

Diferencijalni kapacitivni senzori koriste se za konverziju niza ne-električnih veličina (linearni pomjeraj, ugaoni pomjeraj, diferencijalni pritisak, nivo tečnosti, ubrzanje,...) u električne veličine čijom se obradom dolazi do informacije o mjerenoj fizičkoj veličini. Diferencijalni kapacitivni senzori sastoje se od dva kondenzatora sa jednim zajedničkim priključkom, dok su preostali priključci ovih kondenzatora odvojeni. Kapacitivnosti ovih kondenzatora mijenjaju se na komplementaran način pod uticajem mjerene fizičke veličine po linearnom ili hiperbolnom zakonu. Ova komplementarnost podrazumjeva da je suma kapacitivnosti diferencijalnog kapacitivnog senzora konstantna u slučaju linearne zavisnosti, dok je u slučaju hiperbolne zavisnosti suma ovih kapacitivnosti približno konstantna. Ukoliko mjerena fizička veličina utiče na promjenu površine obloga kondenzatora u sklopu diferencijalnog kapacitivnog senzora, u pitanju je linearna zavisnost. Sa druge strane, ukoliko mjerena fizička veličina utiče na promjenu rastojanja između obloga kondenzatora u sklopu diferencijalnog kapacitivnog senzora, u pitanju je hiperbolna zavisnost. Bez obzira po kom zakonu se mijenjaju kapacitivnosti diferencijalnog kapacitivnog senzora (linearnom ili hiperbolnom), mjerena fizička veličina proporcionalna je normalizovanoj diferencijalnoj kapacitivnosti koja predstavlja odnos razlike i zbira kapacitivnosti diferencijalnog kapacitivnog senzora.

Postoji i posebna klasa diferencijalnih kapacitivnih senzora kod kojih je izlazni signal proporcionalan samo razlici pojedinačnih kapacitivnosti diferencijalnog kapacitivnog senzora, bez normalizacije. Ovi diferencijalni kapacitivni senzori su podložni uticajima promjenljivih parametara radnog okruženja (temperature, vlažnosti, vazdušnog pritiska, starenja komponenti). Stoga, ova klasa diferencijalnih kapacitivnih senzora koristi se samo u onim primjenama koje podrazumjevaju stabilne uslove radnog okruženja, kao što su primjene u preciznim laboratorijskim mjerenjima. Sa druge strane, diferencijalni kapacitivni senzori koji se baziraju na normalizovanoj diferencijalnoj kapacitivnosti su imuni na varijacije parametara radnog okruženja. Osim toga, diferencijalni kapacitivni senzori bazirani na razlici kapacitivnosti bez normalizacije imaju izlazne signale koji su različiti za linearni i hiperbolni slučaj. Ovaj problem ne postoji kod diferencijalnih kapacitivnih senzora sa normalizovanim izlazom.

U zavisnosti od izlazne veličine, diferencijalni kapacitivni senzori mogu se podijeliti na one sa konverzijom normalizovane diferencijalne kapacitivnosti u napon, u struju, u vrijeme, i u frekvenciju. Diferencijalni kapacitivni senzori sa konverzijom normalizovane diferencijalne kapacitivnosti u napon ili struju zahtjevaju dodatni analogno-digitalni konvertor u cilju dobijanja digitalnog ekvivalenta. Pošto mjerenje vremena i frekvencije korišćenjem brojačke metode rezultira efikasnom konverzijom vremena ili frekvenciju u digitalni ekvivalent, diferencijalni kapacitivni

senzori bazirani na konverziji normalizovane diferencijalne kapacitivnosti u vrijeme ili frekvenciju su od posebnog značaja. Ova klasa diferencijalnih kapacitivnih senzora može se podijeliti u dvije grupe: na one koji zahtijevaju post-procesiranje, i na one koji ne zahtijevaju post-procesiranje. Post-procesiranje dobijenih rezultata podrazumijeva obavljanje odgovarajućih matematičkih operacija sa izmjerenim trajanjima karakterističnih vremenskih intervala, odnosno izmjerenim vrijednostima karakterističnih frekvencija u cilju dobijanja normalizovane diferencijalne kapacitivnosti u digitalnoj formi. Ove matematičke operacije obavlja mikrokontroler prema algoritmu kojeg nameće matematički model samog diferencijalnog kapacitivnog senzora. Sa druge strane, diferencijalni kapacitivni senzori koji ne zahtijevaju post-procesiranje rezultiraju samo jednim izmjerenim vremenskim intervalom koji je direktno proporcionalan normalizovanoj diferencijalnoj kapacitivnosti. Na ovaj način skraćuje se trajanje konverzije normalizovane diferencijalne kapacitivnosti u digitalni ekvivalent. U ovom slučaju moguće je u potpunosti eliminirati upotrebu mikrokontrolera, podrazumijevajući da postoji odgovarajući interfejs koji obavlja kontrolnu funkciju.

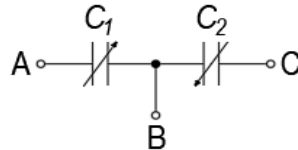
Zahtjevi za unipolarnim napajanjem i velikom brzinom konverzije kod senzorske interfejsne elektronike sve su aktuelniji posljednjih decenija. Sa druge strane, termin „pametni senzor“ podrazumijeva uključivanje mikrokontrolera u senzorski sistem u cilju obavljanja kontrolne funkcije i post-procesiranja radi dobijanja digitalnog ekvivalenta proporcionalnog mjerenoj veličini. U slučaju realizacije pametnih senzora u formi integrisanog mikrosistema, u onim pametnim senzorskim sistemima koji ne zahtijevaju post-procesiranje ulogu mikrokontrolera sve više preuzimaju kontrolna kola posebne namjene radi smanjenja površine na čipu i disipacije snage. Samim tim, zahtjev za izbjegavanjem post-procesiranja sve se više nameće.

Novi tip diferencijalnog kapacitivnog senzora bez post-procesiranja predstavlja temu ovog magistarskog rada. U skladu sa prethodno analiziranim trendovima i zahtjevima, predloženi dizajn diferencijalnog kapacitivnog senzora ne zahtijeva post-procesiranje. Ovaj diferencijalni kapacitivni senzor sa strujnim procesiranjem na bazi pretvaranja normalizovane diferencijalne kapacitivnosti u digitalizovani vremenski interval je isprojektovan, matematički modelovan, realizovan na nivou prototipa korišćenjem diskretnih komponenti, i eksperimentalno valorizovan. Konverzija normalizovane diferencijalne kapacitivnosti u digitalni ekvivalent obavlja se mjerenjem dužine trajanja samo jednog vremenskog intervala. Dizajn se bazira na integraciji referentnih struja koje protiču kroz kondenzatore diferencijalnog kapacitivnog senzora. Integracija referentne struje koja protiče kroz kondenzator manje kapacitivnosti obavlja se sa dvostrukim nagibom. Sa druge strane, integracija referentne struje koja protiče kroz kondenzator veće kapacitivnosti obavlja se sa jednim nagibom. Upotreba mikrokontrolera izbjegnuta je primjenom kontrolnog kola koje generiše kontrolne napone bilateralnih CMOS prekidača, generiše dva vremenska intervala konstantnog i poznatog trajanja, i obavlja mjerenje dužine trajanja vremenskog intervala direktno proporcionalnog normalizovanoj diferencijalnoj kapacitivnosti.

# Princip funkcionisanja diferencijalnih kapacitivnih senzora

---

Električna šema diferencijalnog kapacitivnog senzora (differential capacitive sensor - DCS) prikazana je na slici 1. Najčešće, senzor se sastoji od tri paralelne ploče. Centralna ploča je fiksna, dok se druge dvije mogu pomjerati pod uticajem mjerene neelektrične veličine (pomjeraj, pritisak, nivo



Slika 1. Električna šema diferencijalnog kapacitivnog senzora.

tečnosti, ubrzanje,...). Dakle, DCS se može predstaviti pomoću dva kondenzatora  $C_1$  i  $C_2$  koji imaju zajedničku elektrodu. U odsustvu mjerene veličine (kada mjerena veličina ima nultu vrijednost), zajednička ploča je geometrijski centrirana, te važi  $C_1 = C_2 = C_0$ , gdje je  $C_0$  nominalna kapacitivnost kondenzatora koji formiraju DCS u neopterećenom stanju. U slučaju pločastog kondenzatora, kapacitivnost  $C_0$  iznosi:

$$C_0 = \varepsilon_0 \varepsilon_r \frac{A_0}{d_0} \quad (1)$$

gdje je  $\varepsilon_0$  dielektrična permitivnost vakuuma,  $\varepsilon_r$  je relativna permitivnost dielektrika između ploča,  $A_0$  je nominalna površina ploča i  $d_0$  je nominalna udaljenost između ploča. Pod uticajem mjerene veličine zajednička ploča DCS-a se pomjera, što uzrokuje promjenu aktivne površine između ploča kondenzatora  $C_1$  i  $C_2$  ili promjenu udaljenosti između ploča kondenzatora  $C_1$  i  $C_2$ . Navedena promjena manifestuje se na takav način da se kapacitivnost  $C_1$  smanjuje (povećava), dok se kapacitivnost  $C_2$  povećava (smanjuje), pri čemu je zadovoljeno:  $C_1 + C_2 = 2C_0 = const$ . Kada se pod uticajem mjerene veličine mijenja površina između ploča kondenzatora, kapacitivnosti  $C_1$  i  $C_2$  imaju linearnu karakteristiku, i mogu se izraziti na sledeći način:

$$C_1 = C_0(1 \pm kx) \text{ i } C_2 = C_0(1 \mp kx) \quad (2)$$

gdje je  $k$  konstanta senzora, a  $x$  je fizička veličina koja se mjeri. Ukoliko se usled mjerene veličine mijenja udaljenost između ploča, tada kondenzatori imaju inverznu (hiperboličku) karakteristiku, datu relacijom:

$$C_1 = \frac{C_0}{1 \pm kx} \text{ i } C_2 = \frac{C_0}{1 \mp kx} \quad (3)$$

U oba slučaja, mjerena veličina  $x$  se može izraziti na sledeći način:

$$x = \frac{1}{k} \frac{C_1 - C_2}{C_1 + C_2} \quad (4)$$

Diferencijalna kapacitivnost  $(C_1 - C_2)/(C_1 + C_2)$  se u većini slučajeva konvertuje prvo u ekvivalentnu analognu veličinu kao što je napon, struja, vrijeme/frekvencija, a zatim se obavlja digitalizacija tog analognog ekvivalenta. Diferencijalni kapacitivni senzori kod kojih se vrši konverzija diferencijalne kapacitivnosti  $(C_1 - C_2)/(C_1 + C_2)$  u napon predstavljeni su u radovima [1] - [8]. Diferencijalni kapacitivni senzori koji se baziraju na konverziji diferencijalne kapacitivnosti  $(C_1 - C_2)/(C_1 + C_2)$  u struju predstavljeni su u radovima [9] i [10]. Rješenja u radovima [11] - [22] se baziraju na konverziji diferencijalne kapacitivnosti  $(C_1 - C_2)/(C_1 + C_2)$  u vrijeme. Predstavljen je i rad u kojem se obavlja konverzija diferencijalne kapacitivnosti  $(C_1 - C_2)/(C_1 + C_2)$  u frekvenciju [23].

# Pregled postojećih rješenja diferencijalnih kapacitivnih senzora

---

## 1.1 DIFERENCIJALNI KAPACITIVNI SENZOR BAZIRAN NA KONVERZIJI DIFERENCIJALNE KAPACITIVNOSTI U NAPON

### 2.1.1 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [1]

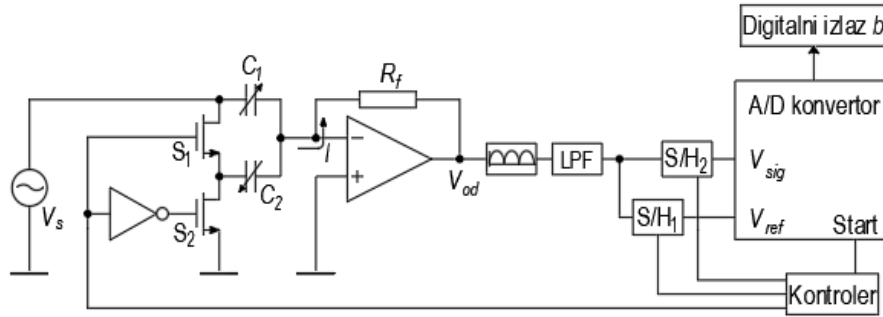
Električna šema DCSa sa diferencijatorom i A/D konvertorom [1] je prikazan na slici 2. Glavni element ovog kola je diferencijator kojeg sačinjavaju operacioni pojačavač, otpornik  $R_f$ , i kondenzatori  $C_1$  i  $C_2$  koji predstavljaju DCS. Pored diferencijatora, kolo sadrži i punotalasni ispravljač sa LPF-om na svom izlazu, A/D konvertor, sample and hold kola S/H<sub>1</sub> i S/H<sub>2</sub>, i mikrokontroler. Cilj je da se na izlazu diferencijatora dobije napon  $V_{ods}$ , koji je proporcionalan kapacitivnosti DCS-a. U zavisnosti od prekidača  $S_1$  i  $S_2$ , struja  $I$  mijenja svoju vrijednost, što uzrokuje i promjenu napona na izlazu iz diferencijatora. Ukoliko je prekidač  $S_1$  uključen, a prekidač  $S_2$  isključen, struja  $I$  protiče kroz paralelnu vezu kondenzatora  $C_1$  i  $C_2$ , te je napon na izlazu iz diferencijatora, označen sa  $V_{od1}$  dat sledećom relacijom:

$$V_{od1} = -s(C_1 + C_2)R_fV_S \quad (5)$$

gdje je  $V_S$  sinusoidalni ulazni napon. Nakon toga, napon  $V_{od1}$  vodi se na punotalasni ispravljač sa čijeg izlaza LPF propušta DC komponentu koja se prosleđuje A/D konvertoru. Rezultat analogno-digitalne konverzije predstavlja binarni broj  $b_1$  direktno proporcionalan ekvivalentnoj kapacitivnosti  $C_1 + C_2$  koji se prosleđuje mikrokontroleru. U slučaju kada je  $S_1$  isključen, a  $S_2$  uključen, struja  $I$  protiče kroz kondenzator  $C_1$ , pa je napon na izlazu iz diferencijatora,  $V_{od2}$  dat sledećom relacijom:

$$V_{od2} = -sC_1R_fV_S \quad (6)$$

Taj napon takođe prolazi kroz punotalasni ispravljač sa čijeg izlaza LPF propušta DC komponentu koja se prosleđuje A/D konvertoru. Rezultat analogno-digitalne konverzije predstavlja binarni broj  $b_2$  direktno proporcionalan kapacitivnosti  $C_1$  koji se prosleđuje mikrokontroleru. Mikrokontroler obavlja računsku operaciju dijeljenja brojeva  $b_2$  i  $b_1$ , što rezultira binarnim brojem  $b$  koji se može predstaviti kao:



Slika 2. Električna šema DCSa sa diferencijatorom i A/D konvertorom [1].

$$b = \frac{V_{od2}}{V_{od1}} = \frac{-sC_1R_fV_s}{-s(C_1+C_2)R_fV_s} = \frac{C_1}{C_1+C_2} = b_12^{-1} + b_22^{-2} + \dots + b_n2^{-n} \quad (7)$$

Relacija (4) se može modifikovati na sledeći način:

$$x = \frac{1}{k} \frac{C_1 - C_2}{C_1 + C_2} = \frac{1}{k} \left[ \frac{2C_1}{C_1 + C_2} - 1 \right] \quad (8)$$

Kombinovanjem relacija (7) i (8), zaključuje se da je binarni broj  $b$  direktno proporcionalan mjerenoj veličini  $x$ :

$$x = \frac{1}{k} \frac{C_1 - C_2}{C_1 + C_2} = \frac{1}{k} (2b - 1) \quad (9)$$

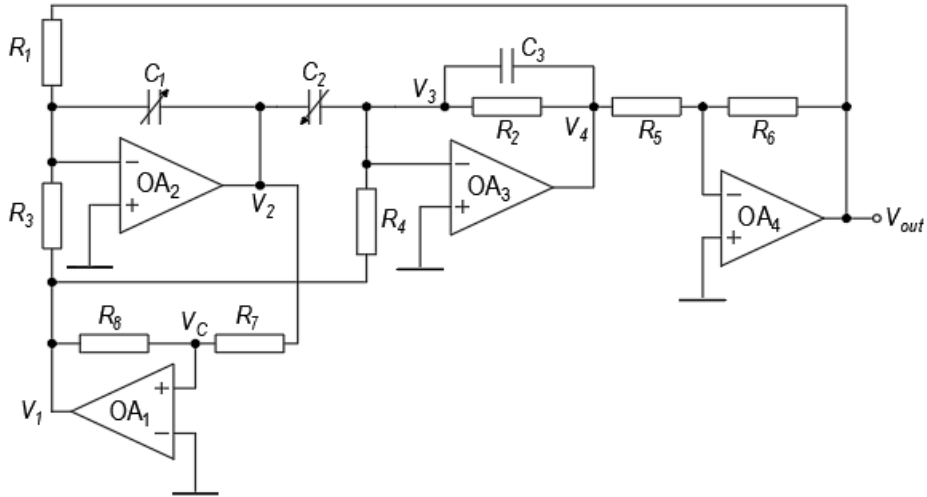
### 2.1.2 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [2]

Na slici 3. prikazana je električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u napon [2]. Glavni element ovog kola je relaksacioni oscilator, koji se sastoji od integratora  $OA_2$  i Šmitovog triggera  $OA_1$ . Pored oscilatora, kolo sadrži i diferencijator  $OA_3$  i invertujući pojačavač  $OA_4$ . Kondenzatori  $C_1$  i  $C_2$  predstavljaju DCS. Kondenzator  $C_1$  je u sastavu integratora, a kondenzator  $C_2$  je u sastavu diferencijatora. Napon  $v_1(t)$  je dat relacijom:

$$v_1(t) = V_{ref} \operatorname{sgn}[v_c(t)] \quad (10)$$

Koristeći se razdjelnikom napona, i relacijom (10) dobija se izraz za napon  $v_c(t)$ :

$$v_c(t) = \frac{R_7}{R_7 + R_8} v_1(t) + \frac{R_8}{R_7 + R_8} v_2(t) \quad (11)$$



Slika 3. DCS baziran na konverziji diferencijalne kapacitivnosti u napon [2].

Ukoliko su svi operacioni pojačavači u kolu idealni, i ukoliko se zanemari kondenzator  $C_3$ , mogu se pisati sledeće relacije:

$$\frac{V_1}{R_4} + j\omega C_2 V_2 = -\frac{V_4}{R_2} \Rightarrow V_4 = -\frac{R_2}{R_4} V_1 - R_2 j\omega C_2 V_2 \quad (12)$$

$$\frac{V_1}{R_3} + \frac{V_{out}}{R_1} = -j\omega C_1 V_2 \Rightarrow V_2 = -\frac{V_1}{j\omega C_1 R_3} - \frac{V_{out}}{j\omega C_1 R_1} \quad (13)$$

$$\frac{V_4}{R_5} = -\frac{V_{out}}{R_6} \Rightarrow V_{out} = -\frac{R_6}{R_5} V_4 \quad (14)$$

Kombinujući relacije (12) i (13) dobija se:

$$V_4 = -\frac{R_2}{R_4} V_1 + \frac{j\omega C_2 R_2}{j\omega C_1 R_3} V_1 + \frac{j\omega C_2 R_2}{j\omega C_1 R_1} V_{out} \quad (15)$$

Uvrstivši (15) u (14) dobija se izraz za izlazni napon  $V_{out}$  u funkciji napona  $V_1$ :

$$V_{out} = \frac{R_6 R_2}{R_3 R_4} V_1 - \frac{R_6 R_2 C_2}{R_5 R_3 C_1} V_1 - \frac{R_6 R_2 C_2}{R_5 R_1 C_1} V_{out}$$

$$V_{out} \left( 1 + \frac{R_6 R_2 C_2}{R_5 R_1 C_1} \right) = \frac{R_6}{R_3} V_1 \left( \frac{R_2}{R_4} - \frac{R_2 C_2}{R_3 C_1} \right)$$

$$V_{out} = \frac{R_6}{R_5} V_1 \frac{C_1 R_2 R_3 - C_2 R_2 R_4}{C_1 R_3 R_4} \frac{C_1 R_1 R_5}{C_1 R_1 R_5 + C_2 R_2 R_6}$$

$$V_{out} = \frac{R_6}{R_5} V_1 \frac{C_1 \frac{R_2}{R_4} - C_2 \frac{R_2}{R_3}}{C_1 + C_2 \frac{R_2 R_6}{R_1 R_5}} \quad (16)$$

Ukoliko se brojilac i imenilac pomnože vrijednošću  $R_5/R_6$ , dobija se konačan izraz za izlazni napon  $V_{out}$ :

$$V_{out} = V_1 \frac{C_1 \frac{R_2}{R_4} - C_2 \frac{R_2}{R_3}}{C_1 \frac{R_5}{R_6} + C_2 \frac{R_2}{R_1}} \quad (17)$$

Pod uslovom da važi  $R_3 = R_4$  i  $R_1 R_5 = R_2 R_6$ , tada se relacija (17) može uprostiti na sledeći način:

$$V_{out} = V_o \operatorname{sgn}[V_c(t)], \quad (18)$$

gdje je  $V_o = \frac{R_1 C_1 - C_2}{R_3 C_1 + C_2} V_{ref} = \frac{R_1}{R_3} kx V_{ref}$  (19)

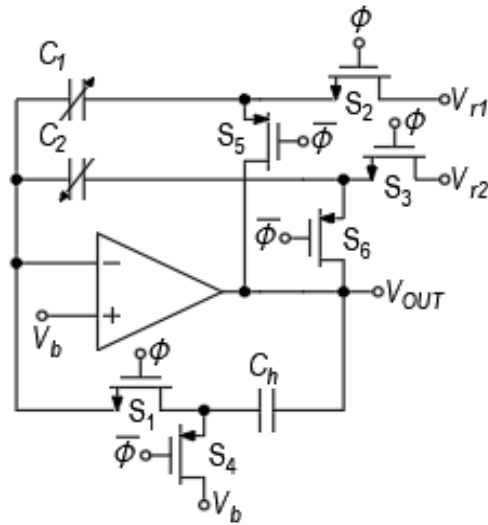
Iz relacija (18) i (19) dobija se izraz za mjerenu veličinu  $x$ :

$$x = \frac{1}{k} \frac{R_3}{R_1} \frac{V_o}{V_{ref}} \quad (20)$$

### 2.1.3 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [3]

Na slici 4. prikazana je električna šema DCSa bazirana na konverziji diferencijalne kapacitivnosti u napon [3]. CMOS prekidače  $S_1 - S_3$  kontroliše isti kontrolni signal  $\Phi$ , a CMOS prekidače  $S_4 - S_6$  kontroliše isti kontrolni signal  $\bar{\phantom{\Phi}}$ . Kontrolni signali  $\Phi$  i  $\bar{\phantom{\Phi}}$  su nepreklapajući. Kada je kontrolni signal  $\Phi$  na visokom logičkom nivou, prekidači  $S_1, S_2$  i  $S_3$  su zatvoreni, a prekidači  $S_4, S_5$  i  $S_6$  su otvoreni. Kao posledica ovakve konfiguracije CMOS prekidača, kondenzatori  $C_1$  i  $C_2$  se pune do vrijednosti  $(V_{r1}-V_b)$  i  $(V_{r2}-V_b)$ , respektivno, ukoliko je operacioni pojačavač idealan. Kada vrijednost kontrolnog signala padne na nivo logičke nule, kontrolni signal  $\bar{\phantom{\Phi}}$  dostiže nivo logičke jedinice, i kondenzatori  $C_1$  i  $C_2$  su u paralelnoj vezi, zbog promjene konfiguracije CMOS prekidača.





Slika 4. DCS baziran na konverziji diferencijalne kapacitivnosti u napon [3].

Izlazni napon  $V_{OUT}$  se može izraziti sledećom relacijom:

$$\begin{aligned}
 V_{OUT}(\bar{\Phi}) &= V_b + \frac{C_1(V_{r1} - V_b) + C_2(V_{r2} - V_b)}{C_1 + C_2} = V_b + \frac{C_1V_{r1} - C_1V_b + C_2V_{r2} - C_2V_b}{C_1 + C_2} = \\
 &= V_b + \frac{C_1V_{r1} + C_2V_{r2} - V_b(C_1 + C_2)}{C_1 + C_2} = V_b + \frac{C_1V_{r1} + C_2V_{r2}}{C_1 + C_2} - V_b \frac{C_1 + C_2}{C_1 + C_2} = \frac{C_1V_{r1} + C_2V_{r2}}{C_1 + C_2} \quad (21)
 \end{aligned}$$

Sistem zahtijeva dva referentna napona  $V_{r1}$  i  $V_{r2}$ , koji imaju simetrične vrijednosti u odnosu na polovinu napona napajanja, što se može predstaviti na sledeći način:

$$V_{r1} = \frac{V_{DD}}{2} + V_r \quad (22)$$

$$V_{r2} = \frac{V_{DD}}{2} - V_r \quad (23)$$

Tada se relacija (21) svodi na:

$$\begin{aligned}
 V_{OUT}(\bar{\Phi}) &= \frac{C_1V_{r1} + C_2V_{r2}}{C_1 + C_2} = \frac{C_1\left(\frac{V_{DD}}{2} + V_r\right) + C_2\left(\frac{V_{DD}}{2} - V_r\right)}{C_1 + C_2} = \\
 &= \frac{V_{DD}}{2} \frac{C_1 + C_2}{C_1 + C_2} + V_r \frac{C_1 - C_2}{C_1 + C_2} = \frac{V_{DD}}{2} + V_r kx \quad (24)
 \end{aligned}$$

Mjerena veličina  $x$  direktno je proporcionalna izlaznom naponu sistema:

$$x = \frac{1}{kV_r} (V_{OUT} - \frac{V_{DD}}{2}) \quad (25)$$

#### 2.1.4 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [4]

Na slici 5. prikazana je električna šema DCSa bazirana na konverziji diferencijalne kapacitivnosti u napon [4]. Pristup se bazira na relaksacionom oscilatoru sa analognim integratorom, kojeg čine kondenzatori  $C_1$  i  $C_2$ , zajedno sa otpornikom  $R$  i operacionim pojačavačem. Prekidači  $S_1$ ,  $S_2$ ,  $S_3$  i  $S_4$  imaju isti kontrolni signal sa izlaza komparatora  $V_{comp}$ . U zavisnosti od položaja prekidača  $S_1$ ,  $S_3$  i  $S_4$ , kondenzatori  $C_1$  i  $C_2$  se pune i prazne na vrijednosti referentnih napona iste apsolutne vrijednosti suprotnog polariteta. Bilateralni dvopoložajni CMOS prekidači  $S_3$  i  $S_4$  služe da samo jedan od kondenzatora  $C_1$  i  $C_2$  u datom trenutku bude povezan u povratnu granu operacionog pojačivača, kada se bilateralni dvopoložajni CMOS prekidači  $S_3$  i  $S_4$  nalaze u položaju "2". Konfigurisani su tako da se kondenzator koji se ne nalazi u povratnoj grani operacionog pojačavača,  $C_1$  ili  $C_2$ , puni do istog nivoa kao i kondenzator koji je povezan u povratnu granu operacionog pojačivača. U zavisnosti od toga koji kondenzator čini povratnu granu operacionog pojačavača, napon na izlazu integratora se povećava ili smanjuje. Kada se u povratnoj grani operacionog pojačavača nalazi kondenzator  $C_1$ , i otpornik  $R$  je povezan na  $+V_R$ , izlazni napon integratora opada sa nagibom  $V_R/RC_1$ , i upoređuje se u komparatoru sa naponom  $-V_R$ . Vrijeme koje je potrebno da napon na izlazu integratora opadne do vrijednosti  $-V_R$  označava se sa  $T_L$ , a vrijeme koje je potrebno da napon na izlazu integratora poraste do vrijednosti  $+V_R$  označava se sa  $T_H$ . U trenutku kada izlazni napon integratora dostigne vrijednost  $-V_R$ , svi prekidači u kolu mijenjaju svoje položaje. U povratnoj grani operacionog pojačavača se nalazi kondenzator  $C_2$ , i otpornik  $R$  je povezan na  $-V_R$ , izlazni napon integratora raste sa nagibom  $V_R/RC_2$ , i upoređuje se u komparatoru sa naponom  $+V_R$ .

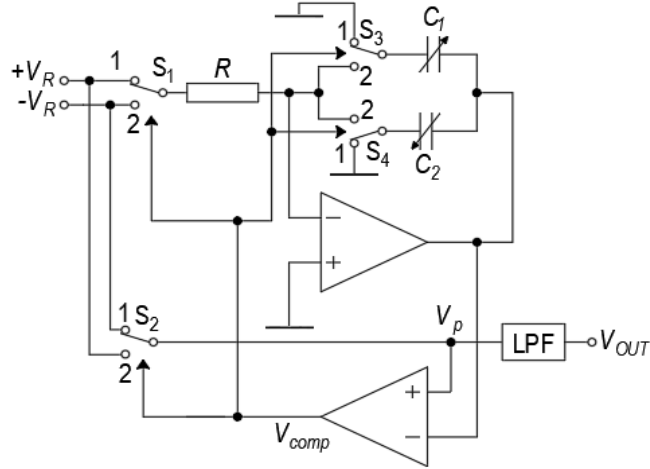
Posmatrajući napon na izlazu iz integratora i napon sa kojim se upoređuje,  $V_p$ , mogu se napisati sledeće relacije:

$$-V_R = V_R - \frac{V_R}{RC_1} T_L \quad (26)$$

$$V_R = -V_R + \frac{V_R}{RC_2} T_H \quad (27)$$

Iz relacija (26) i (27) slijedi:

$$T_H = 2RC_2 \text{ i } T_L = 2RC_1 \quad (28)$$



Slika 5. Električna šema DCS-a baziran na konverziji diferencijalne kapacitivnosti u napon [4].

Ukoliko kondenzatori  $C_1$  i  $C_2$  koji čine DCS, imaju linearnu karakteristiku, kao u (2), napon na izlazu LPF-a,  $V_{OUT}$ , jednak je:

$$\begin{aligned}
 V_{OUT} &= \frac{1}{T} \int_0^{T_H+T_L} V_p dt = \frac{1}{T} \left[ \int_0^{T_H} V_p dt + \int_0^{T_L} V_p dt \right] = \frac{1}{T} [T_H V_R - T_L V_R] = \frac{T_H - T_L}{T_H + T_L} V_R = \\
 &= V_R \frac{2RC_2 - 2RC_1}{2RC_2 + 2RC_1} = V_R \frac{C_2 - C_1}{C_2 + C_1} = V_R kx \quad (29)
 \end{aligned}$$

Mjerena veličina  $x$  se može izraziti na sledeći način:

$$x = \frac{1}{kV_R} V_{OUT} \quad (30)$$

Ukoliko kondenzatori  $C_1$  i  $C_2$  koji čine DCS, imaju hiperboličku (inverznu) karakteristiku, kao u (3), napon na izlazu LPF-a,  $V_{OUT}$ , jednak je:

$$V_{OUT} = -V_R kx \quad (31)$$

Mjerena veličina  $x$  se može izraziti na sledeći način:

$$x = -\frac{1}{kV_R} V_{OUT} \quad (32)$$

### 2.1.5 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [5]

Na slici 6. prikazana je električna šema DCSa bazirana na konverziji diferencijalne kapacitivnosti u napon [5]. Pristup se bazira na integratoru sa prekidačkim kondenzatorima  $C_1$  i  $C_2$ , koji čine DCS. Prekidače  $S_1$  i  $S_2$  kontroliše isti CLK signal periode  $T_C$ , visoke frekvencije. U zavisnosti od položaja prekidača  $S_1$  i  $S_2$ , kondenzatori  $C_1$  i  $C_2$  se pune i prazne na vrijednosti referentnih napona iste apsolutne vrijednosti suprotnog polariteta, kada se bilateralni dvopoložajni CMOS prekidači  $S_1$  i  $S_2$  nalaze u položaju "1". Bilateralni dvopoložajni CMOS prekidači  $S_3$  i  $S_4$  imaju isti kontrolni signal sa izlaza komparatora  $V_{comp}$ . Konfigurisani su tako da samo jedan od kondenzatora  $C_1$ ,  $C_2$  ima konekciju sa invertujućim priključkom operacionog pojačavača, kada se bilateralni dvopoložajnih CMOS prekidači  $S_1$  i  $S_2$  nalaze u položaju "2". U zavisnosti od toga preko kojeg kondenzatora ( $C_1$  ili  $C_2$ ) se puni kondenzator  $C_F$ , napon na tom kondenzatoru se povećava ili smanjuje. Kao posledica punjenja kondenzatora  $C_F$ , izlazni napon integratora  $V_{oi}$  raste ili opada. Kada se kondenzator  $C_F$  puni preko kondenzatora  $C_2$ , izlazni napon integratora raste sa korakom koji iznosi  $V_R C_2 / C_F$ , za svaku periodu CLK signala, i upoređuje se u komparatoru sa naponom  $V_R$ . Kada se kondenzator  $C_F$  puni preko kondenzatora  $C_1$ , izlazni napon integratora opada sa korakom koji iznosi  $V_R C_1 / C_F$ , i upoređuje se u komparatoru sa naponom  $-V_R$ .

Ukoliko se sa  $T_H$  označi vrijeme koje je potrebno da integrator od vrijednosti  $-V_R$  dostigne vrijednost  $+V_R$ , a sa  $T_L$  vrijeme koje je potrebno da integrator od vrijednosti  $+V_R$  opadne do vrijednosti  $-V_R$ , važe sledeće relacije:

$$\frac{T_C}{T_H} = \frac{V_R \frac{C_2}{C_F}}{2V_R} \Rightarrow T_H = \frac{2C_F}{C_2} T_C \quad (33)$$

$$\frac{T_C}{T_L} = \frac{V_R \frac{C_1}{C_F}}{2V_R} \Rightarrow T_L = \frac{2C_F}{C_1} T_C \quad (34)$$

Pod uslovom da je granična frekvencija filtra propusnika niskih učestanosti (low pass filter - LPF) mnogo manja od frekvencije oscilovanja kola  $f$  [ $f = 1/T$ ,  $T = (T_H + T_L)$ ], izlaz iz LPF-a se može izraziti kao:



### 2.1.6 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [6]

DCS baziran na konverziji diferencijalne kapacitivnosti u napon prikazan je na slici 7 [6]. Pristup se bazira na prekidačkim kondenzatorima  $C_1$  i  $C_2$ , koji čine DCS. Bilateralne CMOS prekidače  $S_2$  i  $S_4$  kontroliše isti signal  $\Phi_2$ , prekidače  $S_3$  i  $S_5$  kontroliše isti signal  $\Phi_3$ , a prekidače  $S_1$ ,  $S_6$ ,  $S_7$  i  $S_8$  kontrolišu signali  $\Phi_1$ ,  $\Phi_4$ ,  $\Phi_5$  i  $\Phi_6$ , respektivno. Kondenzatori  $C_1$  i  $C_2$  se pune i prazne do vrijednosti referentnih napona iste apsolutne vrijednosti suprotnog polariteta, u zavisnosti od položaja prekidača  $S_2$ ,  $S_3$ ,  $S_4$  i  $S_5$ . Kada su bilateralni CMOS prekidači  $S_3$  i  $S_5$  otvoreni (signal  $\Phi_3$  na niskom logičkom nivou), a prekidači  $S_2$  i  $S_4$  zatvoreni (signal  $\Phi_2$  na visokom logičkom nivou), kondenzatori  $C_1$  i  $C_2$  se pune. Punjenje kondenzatora  $C_1$  i  $C_2$  uzrokuje nagomilavanje naelektrisanja u zajedničkoj tački senzora  $V_Z$ . Kada su bilateralni CMOS prekidači  $S_1$ ,  $S_3$  i  $S_7$  otvoreni, a prekidač  $S_6$  zatvoren, nagomilano naelektrisanje u tački  $V_Z$  će se prenijeti na kondenzator  $C_s$ . Zatvaranjem prekidača  $S_8$ , naelektrisanje sa kondenzatora  $C_s$  će se prenijeti na kondenzator  $C_{out}$ . Prenijeto naelektrisanje,  $Q_{tr}$ , se može izraziti na sledeći način:

$$Q_{tr} = V_r C_1 - V_r C_2 = V_r (C_1 - C_2) \quad (38)$$

Prije početka novog ciklusa, kondenzator  $C_s$  se isprazni preko prekidača  $S_7$ . Koristeći se relacijom (38), i osnovnom relacijom o količina naelektrisanja na kondenzatoru,  $Q = CV$ , dobija se izraz za napon  $V_s$ :

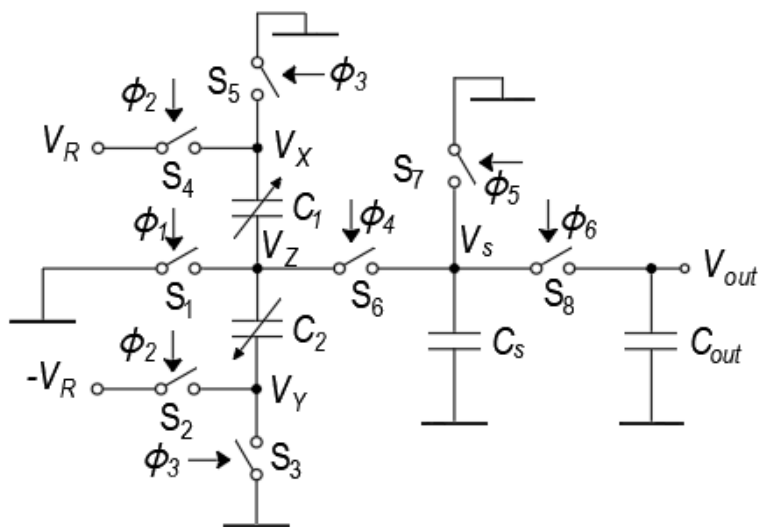
$$V_s = \frac{Q_{tr}}{C} = V_r \frac{C_1 - C_2}{C_1 + C_2 + C_s} \quad (39)$$

Da bi napon na izlazu kola,  $V_{out}$ , dostigao vrijednost proporcionalnu diferencijalnoj kapacitivnosti  $(C_1 - C_2)/(C_1 + C_2)$  potrebno je nekoliko takt impulsa. Pod uslovom da je kapacitivnost  $C_s$  mnogo manja od ukupne kapacitivnosti  $C_1 + C_2$ , može se pisati sledeći izraz za izlazni napon kola  $V_{out}$ :

$$V_{out} = V_s = V_r \frac{C_1 - C_2}{C_1 + C_2} = V_r kx \quad (40)$$

Iz relacije (40) slijedi da je mjerena veličina  $x$  jednaka:

$$x = \frac{1}{k} \frac{V_{out}}{V_r} \quad (41)$$



Slika 7. DCS baziran na konverziji diferencijalne kapacitivnosti u napon [6].

### 2.1.7 DCS sa VCR-om na bazi konverzije diferencijalne kapacitivnosti u napon [7]

DCS sa VCR-om baziran na konverziji diferencijalne kapacitivnosti u napon [7] prikazan je na slici 8. Kolo predstavlja samo-balansirajući most u konfiguraciji sa DCS-om. Promjene u kapacitivnosti DCS-a uzrokuju varijacije u naponu  $V_b$ , koji predstavlja jedan od ulaza instrumentacionog pojačavača. Koristeći naponske djelitelje, za napone  $V_a$  i  $V_b$  se mogu napisati sledeće relacije:

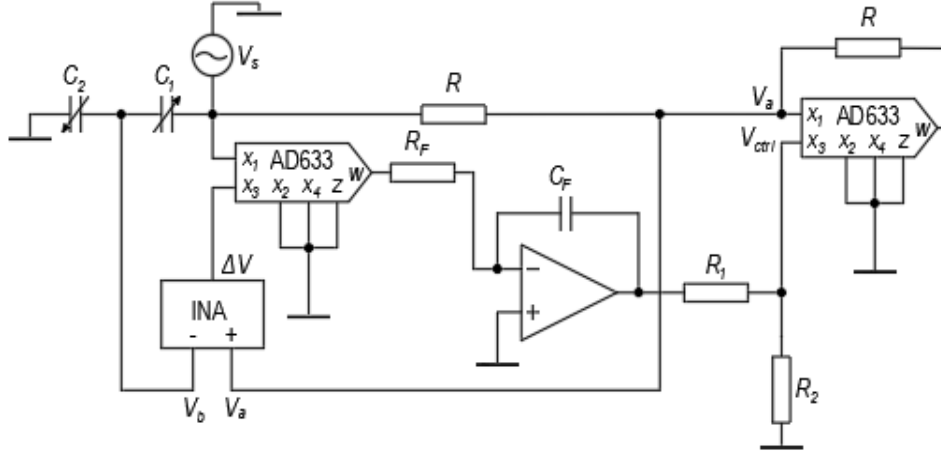
$$V_a = V_s \frac{R_{VCR}}{R + R_{VCR}} \quad (42)$$

$$V_b = V_s \frac{\frac{1}{j\omega C_2}}{\frac{1}{j\omega C_1} + \frac{1}{j\omega C_2}} = V_s \frac{C_1}{C_1 + C_2} \quad (43)$$

Iz (42) i (43) sledi da je izlaz instrumentacionog pojačavača  $\Delta V$  jednak:

$$\Delta V = V_a - V_b = V_s \left( \frac{R_{VCR}}{R + R_{VCR}} - \frac{C_1}{C_1 + C_2} \right) \quad (44)$$

Zamjenivši  $C_1$  i  $C_2$  sa vrijednostima iz (2) dobija se:



Slika 8. DCS sa VCR-om baziran na konverziji diferencijalne kapacitivnosti u napon [7].

$$\Delta V = V_s \left( \frac{R_{VCR}}{R + R_{VCR}} - \frac{C_0(1+x)}{C_0(1+x) + C_0(1-x)} \right) = V_s \left( \frac{R_{VCR}}{R + R_{VCR}} - \frac{1+x}{2} \right) \quad (45)$$

Poznata je otpornost naponom kontrolisanog otpornika:

$$R_{VCR} = \frac{10R}{10[V] - V_{ctrl}} \quad (46)$$

Relacija (45) se svodi na:

$$\begin{aligned} \Delta V &= V_s \left( \frac{\frac{10R}{10[V] - V_{ctrl}}}{R + \frac{10R}{10[V] - V_{ctrl}}} - \frac{1+x}{2} \right) = V_s \left( \frac{\frac{10R}{10[V] - V_{ctrl}}}{\frac{R(10[V] - V_{ctrl}) + 10R}{10[V] - V_{ctrl}}} - \frac{1+x}{2} \right) = \\ &= V_s \left( \frac{10R}{R(10[V] - V_{ctrl}) + 10R} - \frac{1+x}{2} \right) = V_s \left( \frac{10[V]}{20 - V_{ctrl}} - \frac{1+x}{2} \right) \end{aligned} \quad (47)$$

Sređujući relaciju (47) dobija se izraz za mjerenu veličinu  $x$ :

$$\begin{aligned} \Delta V &= V_s \left( \frac{20 - (1+x)(20 - V_{ctrl})}{2(20 - V_{ctrl})} \right) \Rightarrow \frac{\Delta V}{V_s} (40 - 2V_{ctrl}) = 20 - (1+x)(20 - V_{ctrl}) \\ \frac{\Delta V}{V_s} (40 - 2V_{ctrl}) &= 20 - 20 + V_{ctrl} - 20x + xV_{ctrl} = x(V_{ctrl} - 20) + V_{ctrl} \end{aligned}$$



$$x = \frac{V_{ctrl} - \frac{\Delta V}{V_s}(40 - 2V_{ctrl})}{20 - V_{ctrl}} = \frac{V_{ctrl}}{20 - V_{ctrl}} - 2\frac{\Delta V}{V_s} \quad (48)$$

Ukoliko je most u ravnotežnom stanju, važi da je  $\Delta V = 0$ , pa je mjerena veličina  $x$  nelinearno proporcionalna kontrolnom naponu VCR-a,  $V_{ctrl}$ :

$$x = \frac{V_{ctrl}}{20 - V_{ctrl}} \quad (49)$$

### 2.1.8 DCS baziran na konverziji diferencijalne kapacitivnosti u napon [8]

DCS na bazi konverzije diferencijalne kapacitivnosti u napon sa naponom kontrolisanim otpornikom (VCR – Voltage Controlled Resistor) prikazan je na slici 9. [8]. Pobudni signal kola je sinusoidalni napon  $V_s$  data relacijom:

$$V_s(t) = |V_s| \sin(\omega t) \quad (50)$$

Iz relacije (50) slijedi da je zajednička tačka DCS-a, kojeg predstavljaju kondenzatori  $C_1$  i  $C_2$  takođe sinusoida,  $V_{in1}$ , koja se može izraziti na sledeći način:

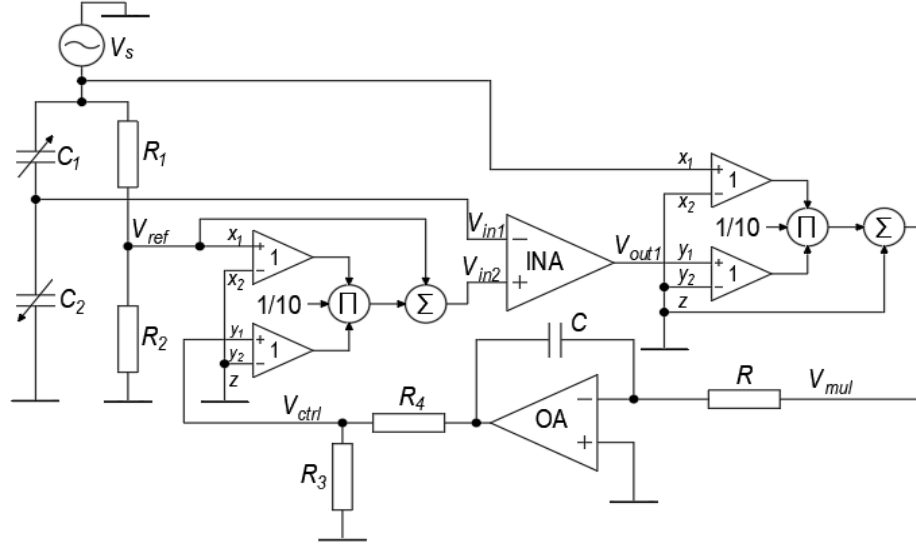
$$V_{in1} = (kx + 1) \frac{1}{2} V_s(t) \quad (51)$$

Pristup se bazira na VCR-u, koji se sastoji od analognog množača i otpornika  $R_2$ . Izlaz VCR-a je  $V_{in2}$ , koji sa zajedničkom tačkom DCS-a,  $V_{in1}$ , predstavlja ulazne napone instrumentacionog pojačivača (INA – Instrumentation Amplifier). Izlazni signal INA se vodi na još jedan analogni množač, čiji je izlaz  $V_{mul}$ , u opštem slučaju jednak:

$$V_{mul}(t) = \frac{1}{10[V]} XY + Z \quad (52)$$

gdje su  $X$  i  $Y$  diferencijalni ulazi analognog množača,  $X = x_1 - x_2$ ,  $Y = y_1 - y_2$ . Uvrstivši stvarne vrijednosti umjesto  $X$ ,  $Y$  i  $Z$  dobija se izraz za izlazni signal analognog množača  $V_{mul}$

$$V_{mul}(t) = \frac{1}{10[V]} V_s(t) V_{out1}(t) = \frac{1}{10[V]} |V_s| |\sin(\omega t)| |V_{out1}| \quad (53)$$



Slika 9. DCS na bazi konverzije diferencijalne kapacitivnosti u napon sa naponom kontrolisanim otpornikom [8].

Izlazni signal množača,  $V_{mul}$ , se vodi na ulaz integratora, a zatim na naponski djelitelj kojeg čine otpornici  $R_3$  i  $R_4$ . Signal koji se dobija na izlazu naponskog djelitelja,  $V_{ctrl}$ , predstavlja kontrolni napon VCR-a i dat je izrazom:

$$\begin{aligned}
 V_{ctrl}(t) &= -\frac{R_3}{R_3 + R_4} \frac{1}{RC} \int_t V_{mul}(t) dt = -\frac{R_3}{R_3 + R_4} \frac{1}{RC} \int_t \left[ \frac{1}{10[V]} \frac{|V_s| |V_{out1}|}{2} [1 - \cos(2\omega t)] \right] dt = \\
 &= -\frac{R_3}{R_3 + R_4} \frac{|V_s|}{20[V]} \frac{1}{RC} \int_t |V_{out1}| [1 - \cos(2\omega t)] dt \approx -\frac{R_3}{R_3 + R_4} \frac{|V_s|}{20[V]} \frac{1}{RC} \int_t |V_{out1}| dt
 \end{aligned} \quad (54)$$

Kontrolni napon  $V_{ctrl}$  se dovodi na analogni množač, da bi se dobio napon  $V_{in2}$ . Koristeći se relacijom (52) dobija se:

$$V_{in2} = \frac{1}{10[V]} V_{ref} V_{ctrl} + V_{ref} = V_{ref} \left( \frac{1}{10[V]} V_{ctrl} + 1 \right) \quad (55)$$

Napon  $V_{ref}$  se može izraziti u funkciji ulaznog sinusoidalnog napona  $V_s$ , koristeći naponski djelitelj, na sledeći način:

$$V_{ref} = \frac{R_1}{R_1 + R_2} V_s(t) = \frac{1}{2} V_s(t), \text{ ako je } R_1 = R_2 \quad (56)$$

Kada je sistem u ravnotežnom stanju, važi uslov  $V_{in1} = V_{in2}$ . Kombinujući relacije (51) i (55) dobija se:

$$\frac{1}{2}V_s(t)\left(\frac{1}{10[V]}V_{ctrl} + 1\right) = (kx + 1)\frac{1}{2}V_s(t) \Rightarrow \frac{1}{10[V]}V_{ctrl} + 1 = kx + 1 \quad (57)$$

Iz relacije (57) slijedi da je mjerena veličina  $x$  direktno proporcionalna kontrolnom naponu VCR-a,  $V_{ctrl}$ :

$$x = \frac{1}{k} \frac{1}{10[V]} V_{ctrl} \quad (58)$$

## 1.2 DIFERENCIJALNI KAPACITIVNI SENZOR BAZIRAN NA KONVERZIJI DIFERENCIJALNE KAPACITIVNOSTI U STRUJU

### 2.2.1 DCS baziran na konverziji diferencijalne kapacitivnosti u struju [9]

Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u struju [9] prikazana je na slici 10. Na zajedničku tačku DCS-a, kojeg čine kondenzatori  $C_1$  i  $C_2$  se dovodi strujni izvor  $I_{IN}$ . Preostala dva priključka DCS-a predstavljaju ulaze strujnog ogledala, kojeg formiraju MOSFET-ovi  $M_{1a}$ ,  $M_{2a}$ ,  $M_{1b}$ ,  $M_{2b}$  i strujni izvori  $I_{B1}$  i  $I_{B2}$ , pri čemu mora biti zadovoljen uslov  $I_{B1} = I_{B2}$ . Da bi se izjelo zasićenje kola, zatvaranjem prekidača  $M_{sw}$ , kojeg kontroliše signal  $\Phi$ , kondenzatori  $C_1$  i  $C_2$  se potpuno prazne. Perioda kontrolnog signala  $\Phi$  je  $T = T_D + T_M$ , pri čemu je  $T_D$  faza pražnjenja kondenzatora  $C_1$  i  $C_2$ , a  $T_M$  faza mjerenja. Tokom faze pražnjenja  $T_D$ , struje  $i_1$  i  $i_2$  su jednake, pa je izlazna struja  $i_{out}$  jednaka nuli. Tokom faze mjerenja  $T_M$ , izlazna struja  $i_{out} = i_1 - i_2$  je data sledećim izrazom:

$$\begin{aligned}
 i_{out} = i_1 - i_2 &= \frac{\frac{1}{j\omega C_2}}{\frac{1}{j\omega(C_1 + C_s)} + \frac{1}{j\omega C_2}} I_{IN} - \frac{\frac{1}{j\omega C_1}}{\frac{1}{j\omega(C_2 + C_s)} + \frac{1}{j\omega C_1}} I_{IN} = \\
 &= \frac{\frac{1}{C_2}}{\frac{C_2 + C_1 + C_s}{C_2(C_1 + C_s)}} I_{IN} - \frac{\frac{1}{C_1}}{\frac{C_2 + C_1 + C_s}{C_1(C_2 + C_s)}} I_{IN} = \frac{C_1 + C_s}{C_2 + C_1 + C_s} I_{IN} - \frac{C_2 + C_s}{C_2 + C_1 + C_s} I_{IN} = \\
 &= \frac{C_1 + C_s - C_2 - C_s}{C_1 + C_2 + C_s} I_{IN} = \frac{C_1 - C_2}{C_1 + C_2 + C_s} I_{IN} \quad (59)
 \end{aligned}$$

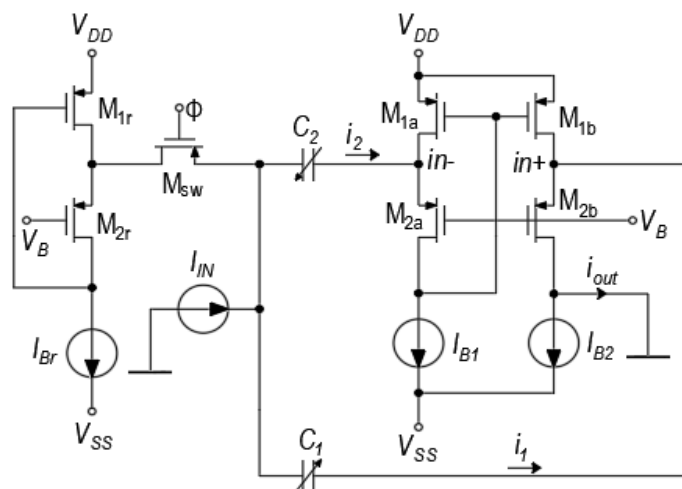
Relacija (129) se može pomnožiti izrazom  $(C_1 + C_2) / (C_1 + C_2)$ , i dobija se:

$$i_{out} = \frac{C_1 + C_2}{C_1 + C_2 + C_s} I_{IN} \frac{C_1 - C_2}{C_1 + C_2} \quad (60)$$

gdje  $C_s$  predstavlja parazitnu kapacitivnost DCS-a.

Iz (60) dobija se izraz za mjerenu veličinu  $x$ :

$$x = \frac{1}{k} \frac{i_{out}}{I_{IN}} \frac{C_1 + C_2 + C_s}{C_1 + C_2} \quad (61)$$



Slika 10. Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u struju [9].

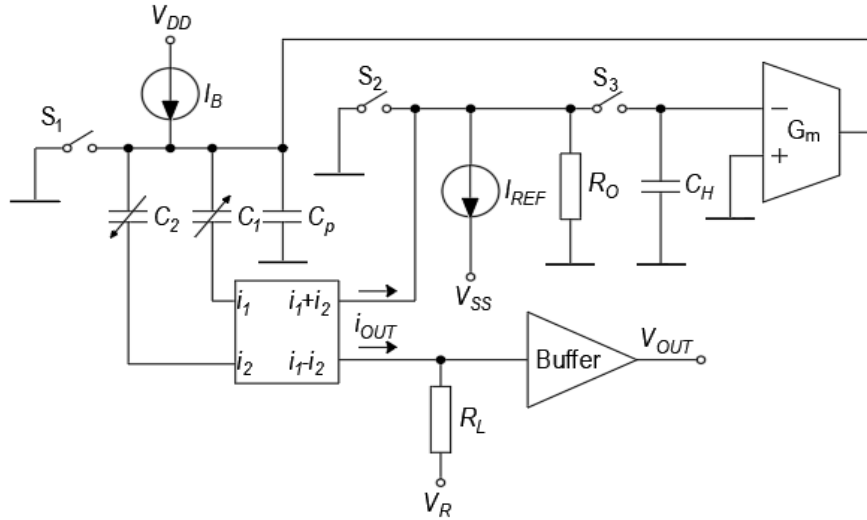
### 2.2.2 DCS baziran na konverziji diferencijalne kapacitivnosti u struju [10]

Električna šema DCSa baziranog na konverziji diferencijalne kapacitivnosti u struju [10] prikazan je na slici 11. Kondenzatori  $C_1$  i  $C_2$  čine DCS, dok kondenzator  $C_p$  predstavlja parazitivnu kapacitivnost senzora. Na njihovu zajedničku tačku dovodi se strujni izvor  $I_B$ . Struja  $I_B$  se dijeli na struje  $i_1$  i  $i_2$ , koje protiču kroz kondenzatore  $C_1$  i  $C_2$ , respektivno, pri čemu jedan dio struje  $I_B$  preuzima parazitna kapacitivnost  $C_p$ . Preostala dva priključka DCSa se vode na ulaze kola, na čijim izlazima se dobija zbir, odnosno razlika struja  $i_1$  i  $i_2$ . Bilateralne CMOS prekidače  $S_1$  i  $S_2$  kontroliše isti signal  $\Phi_1$  periode  $T=T_D+T_A+T_M$ , a prekidač  $S_3$  kontroliše signal  $\Phi_2$ , periode  $T=T_D+T_A+T_M$ , gdje  $T_D$ ,  $T_A$  i  $T_M$  predstavljaju tri podintervala.

U prvoj fazi, trajanja  $T_D$ , svi prekidači su otvoreni, napon na kondenzatorima  $C_1$  i  $C_2$  je nula, i struje  $i_1$  i  $i_2$  su jednake. Napon na oba priključka transkonduktora  $G_M$  je nula, što uzrokuje nultu struju na njegovom izlazu.

U drugoj fazi, kada su bilateralni CMOS prekidači  $S_1$  i  $S_2$  otvoreni, a prekidač  $S_3$  zatvoren, razlika struja  $I_{REF}$  i struje  $i_1+i_2$  uzrokuje pad napona na otporniku  $R_O$ , koji se vodi na invertujući priključak transkonduktora  $G_M$ .

Na izlazu transkonduktora  $G_M$  se generiše struja koja se vodi na zajednički priključak DCSa, kako bi se nadoknadio gubitak struje koju preuzima parazitna kapacitivnost  $C_p$ . Samim tim, struja  $i_1+i_2$  raste sve dok se ne izjednači sa strujom  $I_{REF}$ , i prekidač  $S_3$  se zatvara. U trećoj fazi, svi prekidači su otvoreni. Ukupna struja koja ulazi u zajedničku tačku DCSa iznosi  $I_B+G_MR_O(I_{REF}-i_1-i_2)$ . Ukoliko se usvoji da je  $I_{REF}=I_B$ , koristeći opšte pravilo strujnog djelitelja dobijaju se izrazi za struje  $i_1$  i  $i_2$ :



Slika 11. Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u struju [10].

$$\begin{aligned}
 i_1 &= [I_B + G_M R_O (I_B - i_1 - i_2)] \frac{C_1}{C_1 + C_2 + C_p} = \\
 &= [I_B (G_M R_O + 1) - G_M R_O (i_1 + i_2)] \frac{C_1}{C_1 + C_2 + C_p} \quad (62)
 \end{aligned}$$

$$\begin{aligned}
 i_2 &= [I_B + G_M R_O (I_B - i_1 - i_2)] \frac{C_2}{C_1 + C_2 + C_p} = \\
 &= [I_B (G_M R_O + 1) - G_M R_O (i_1 + i_2)] \frac{C_2}{C_1 + C_2 + C_p} \quad (63)
 \end{aligned}$$

U cilju olakšanog zapisa relacija, usvaja se  $A = G_M R_O$  i  $C_{eq} = C_1 + C_2 + C_p$ . Iz (62) i (63) slijedi da je  $i_1 + i_2$  jednako:

$$\begin{aligned}
 i_1 + i_2 &= [I_B (1 + A) - A(i_1 + i_2)] \frac{C_1}{C_{eq}} + [I_B (1 + A) - A(i_1 + i_2)] \frac{C_2}{C_{eq}} \\
 (i_1 + i_2) + (i_1 + i_2) A \frac{C_1}{C_{eq}} + (i_1 + i_2) A \frac{C_2}{C_{eq}} &= I_B (1 + A) \frac{C_1}{C_{eq}} + I_B (1 + A) \frac{C_2}{C_{eq}} \\
 (i_1 + i_2) \left( 1 + A \frac{C_1}{C_{eq}} + A \frac{C_2}{C_{eq}} \right) &= \frac{I_B (1 + A)}{C_{eq}} (C_1 + C_2)
 \end{aligned}$$

$$(i_1 + i_2) \left( \frac{C_{eq} + A(C_1 + C_2)}{C_{eq}} \right) = \frac{I_B(1+A)}{C_{eq}}(C_1 + C_2)$$

$$i_1 + i_2 = \frac{I_B(1+A)(C_1 + C_2)}{C_{eq} + A(C_1 + C_2)} \quad (64)$$

Kombinujući relacije (62), (63) i (64) dobija se izraz za izlaznu struju kola  $I_{OUT} = i_1 - i_2$ :

$$I_{OUT} = i_1 - i_2 = [I_B(1+A) - A(i_1 + i_2)] \frac{C_1 - C_2}{C_{eq}} =$$

$$= \left[ I_B(1+A) - A \left[ I_B \frac{(1+A)(C_1 + C_2)}{C_{eq} + A(C_1 + C_2)} \right] \right] \frac{C_1 - C_2}{C_{eq}} =$$

$$= \frac{I_B(C_1 - C_2)}{C_{eq}} \left[ (1+A) - A \frac{(1+A)(C_1 + C_2)}{C_{eq} + A(C_1 + C_2)} \right] =$$

$$= \frac{I_B(C_1 - C_2)}{C_{eq}} \left[ \frac{[C_{eq} + A(C_1 + C_2)](1+A) - A(1+A)(C_1 + C_2)}{C_{eq} + A(C_1 + C_2)} \right] =$$

$$= \frac{I_B(C_1 - C_2)}{C_{eq}} \left[ \frac{(1+A)[C_{eq} + A(C_1 + C_2) - A(C_1 + C_2)]}{C_{eq} + A(C_1 + C_2)} \right] =$$

$$= \frac{I_B(C_1 - C_2)}{C_{eq}} \frac{C_{eq}(1+A)}{C_{eq} + A(C_1 + C_2)} = I_B \frac{C_1 - C_2}{\frac{C_{eq}}{1+A} + \frac{A}{1+A}(C_1 + C_2)} \approx I_B \frac{C_1 - C_2}{\frac{C_{eq}}{1+A} + 2C_0} \quad (65)$$

Koristeći se relacijom o mjerenoj veličini  $x$  (4), može se pisati:

$$I_{OUT} = i_1 - i_2 = I_B \frac{C_1 + C_2}{\frac{C_{eq}}{1+A} + \frac{A}{1+A}(C_1 + C_2)} kx \approx I_B \frac{2C_0}{\frac{C_{eq}}{1+A} + 2C_0} kx \quad (66)$$

Dobija se izraz za mjerenu veličinu  $x$ , koja je proporcionalna izlaznoj struji  $I_{OUT} = i_1 - i_2$ :

$$x \approx I_{OUT} \frac{1}{k} \frac{\frac{C_{eq}}{1+A} + 2C_0}{2I_B C_0} \quad (67)$$

### 1.3 DIFERENCIJALNI KAPACITIVNI SENZOR BAZIRAN NA KONVERZIJI DIFERENCIJALNE KAPACITIVNOSTI U VRIJEME

#### 1.3.1 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [11]

Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [11] prikazana je na slici 12. Kondenzatori  $C_1$  i  $C_2$  čine DCS, dok diode  $D_1$  i  $D_2$  predstavljaju prekidače. Operacioni pojačavač  $OA_1$ , sa kondenzatorima  $C_1$  i  $C_2$ , i otpornikom  $R_f$  čini integrator. Kolo predstavlja relaksacioni oscilator, jer se izlaz komparatora  $V_d$ , vraća na ulaz integratora  $OA_1$ . U zavisnosti od položaja prekidača  $D_1$  i  $D_2$  i stanja na izlazu komparatora OC, definišu se četiri faze rada datog DCS-a,  $T_i$  ( $i=1,2,3,4$ ).

U prvoj fazi  $T_1$ , na izlazu komparatora OC je visok logički nivo ( $V_d=V_u$ ), prekidač  $D_1$  je otvoren, a  $D_2$  zatvoren. Kondenzator  $C_2$  se puni preko otpornika  $R_f$ , pa napon na izlazu  $OA_1$  opada, sve dok ne dostigne nulu, kada prekidači  $D_1$  i  $D_2$  mijenjaju svoje stanje. U početnom trenutku, napon na kondenzatoru  $C_2$  jednak je donjem naponu praga komparatora OC,  $V_d$ . Vremenski interval  $T_1$  dat je sledećom relacijom:

$$T_1 = \frac{C_2 R_f V_d}{V_u} \quad (68)$$

U drugoj fazi  $T_2$ , kada je prekidač  $D_1$  zatvoren, a  $D_2$  otvoren, kondenzator  $C_1$  se puni, što uzrokuje opadanje napona na izlazu  $OA_1$ . Napon na izlazu  $OA_1$  opada sve dok ne dostigne napon praga komparatora OC,  $-V_u$ , što uzrokuje promjenu logike na izlazu komparatora OC. Vremenski interval  $T_2$  je dat sledećom relacijom:

$$T_2 = C_1 R_f \quad (69)$$

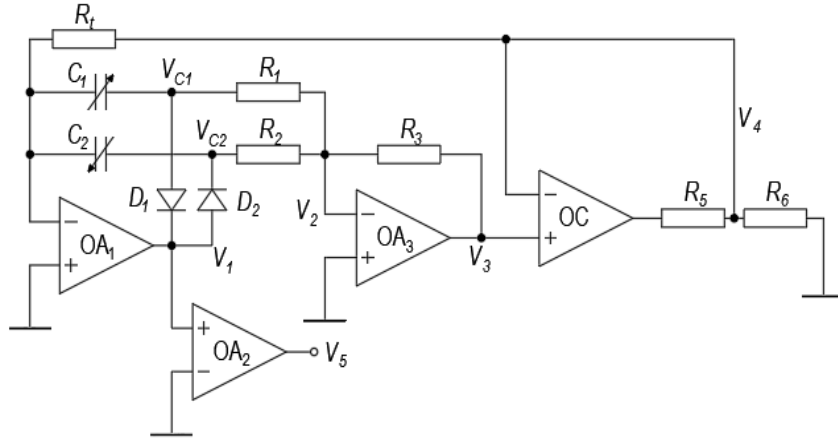
Promjenom logike na izlazu komparatora OC započinje treća faza, gdje prekidači  $D_1$  i  $D_2$  zadržavaju svoje stanje. Kondenzator  $C_1$  se puni sve dok vrijednost izlaznog napona  $OA_1$  ne dostigne nulu, što za posledicu ima promjenu stanja prekidača  $D_1$  i  $D_2$ . Vremenski interval  $T_3$  je dat sledećom relacijom:

$$T_3 = \frac{C_1 R_f V_u}{V_d} \quad (70)$$

Mijenjanjem stanja prekidača  $D_1$  i  $D_2$ , kondenzator  $C_2$  počinje da se puni. Punjenje kondenzatora  $C_2$  uzrokuje rast napona na izlazu  $OA_1$ , sve dok taj napon ne dostigne gornji napon praga komparatora OC,  $V_d$ . Za vremenski interval  $T_4$  važi sledeća relacija:

$$T_4 = C_2 R_f \quad (71)$$





Slika 12. DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [11].

Definišu se dva vremenska intervala, interval visokog nivoa izlaznog napona  $T_H$ , i interval niskog nivoa izlaznog napona  $T_L$ .

$$T_H = T_1 + T_4 = \frac{C_2 R_t V_d}{V_u} + C_2 R_t = C_2 R_t \frac{V_d + V_u}{V_u} \quad (72)$$

$$T_L = T_2 + T_3 = \frac{C_1 R_t V_u}{V_d} + C_1 R_t = C_1 R_t \frac{V_d + V_u}{V_d} \quad (73)$$

Konvertovana diferencijalna kapacitivnost  $(C_1 - C_2)/(C_1 + C_2)$  jednaka je količniku visokog nivoa izlaznog napona i periode izlaznog napona:

$$\frac{T_H}{T_H + T_L} = \frac{C_2 R_t \frac{V_d + V_u}{V_u}}{C_2 R_t \frac{V_d + V_u}{V_u} + C_1 R_t \frac{V_d + V_u}{V_d}} = \frac{\frac{C_2}{V_u}}{\frac{C_2}{V_u} + \frac{C_1}{V_d}} = \frac{C_2}{C_1 \frac{V_u}{V_d} + C_2} = \frac{C_2}{C_1 + C_2} (1 + Y) \quad (74)$$

gdje je  $Y$  jednako:

$$Y = \frac{C_1 \left(1 - \frac{V_u}{V_d}\right)}{C_1 \frac{V_u}{V_d} + C_2} \quad (75)$$

Iz (60) dobija se izraz za mjerenu veličinu  $x$ :

$$x = \frac{1}{k} \frac{C_1 - C_2}{C_1 + C_2} = \frac{1}{k} \left[ \frac{2C_1}{C_1 + C_2} - 1 \right] = \frac{2}{k} \left[ \frac{1}{1 + Y} \frac{T_H}{T_H + T_L} \right] - 1 \quad (76)$$

Ukoliko važi  $V_u = V_d$ , tada se (76) pojednostavljuje i dobija se:

$$x = \frac{2}{k} \left( \frac{T_H}{T_H + T_L} \right) - 1 \quad (77)$$

### 1.3.2 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [12]

Na slici 13 (a). prikazan je blok dijagram DCSa baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [12]. Na slici 13 (b). prikazan je konvertor kapacitivnosti u vrijeme (capacitance-to-time converter - CTC), koji se sastoji od konvertora kapacitivnosti u napon (capacitance-to-voltage converter - CVC), integratora i komparatora. Bilateralne CMOS prekidače  $S_1$ ,  $S_2$ ,  $S_3$  i  $S_6$  kontroliše isti signal  $\Phi$ , a prekidače  $S_4$ ,  $S_5$  i  $S_7$  kontroliše isti signal  $\bar{\Phi}$ . Kontrolni signali  $\Phi$  i  $\bar{\Phi}$  su nepreklapajući. Kada je signal  $\Phi$  na visokom logičkom nivou, bilateralni CMOS prekidači  $S_1$ ,  $S_2$  i  $S_3$  su zatvoreni, što uzrokuje punjenje kodenzatora  $C_1$  i  $C_2$ , koji čine DCS. Kodenzator  $C_1$  se puni na vrijednost  $V_{R1} - V_{DD}/2$ , a kondenzator  $C_2$  se puni na vrijednost  $V_{R2} - V_{DD}/2$ . Kada kontrolni signal  $\Phi$  padne na nivo logičke nule, signal  $\bar{\Phi}$  je na nivou logičke jedinice i prekidači  $S_4$  i  $S_5$  se zatvaraju. Zatvaranjem tih prekidača kondenzatori  $C_1$  i  $C_2$  su u paralelnoj vezi, i dobija se izraz za izlazni napon CVC-a:

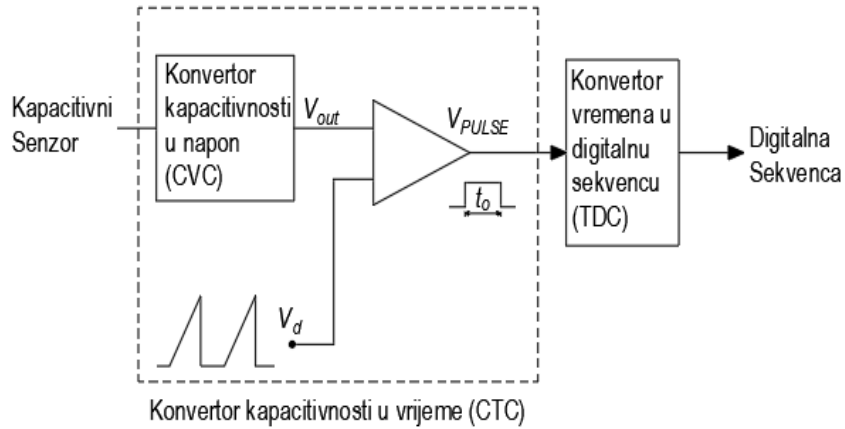
$$V_{out}(\bar{\Phi}) = \frac{C_1 V_{R1} + C_2 V_{R2}}{C_1 + C_2} \quad (78)$$

Ukoliko su  $V_{R1}$  i  $V_{R2}$  postavljeni na nivo  $V_{DD}/2 + V_R$  i  $V_{DD}/2 - V_R$ , respektivno, relacija (78) se svodi na:

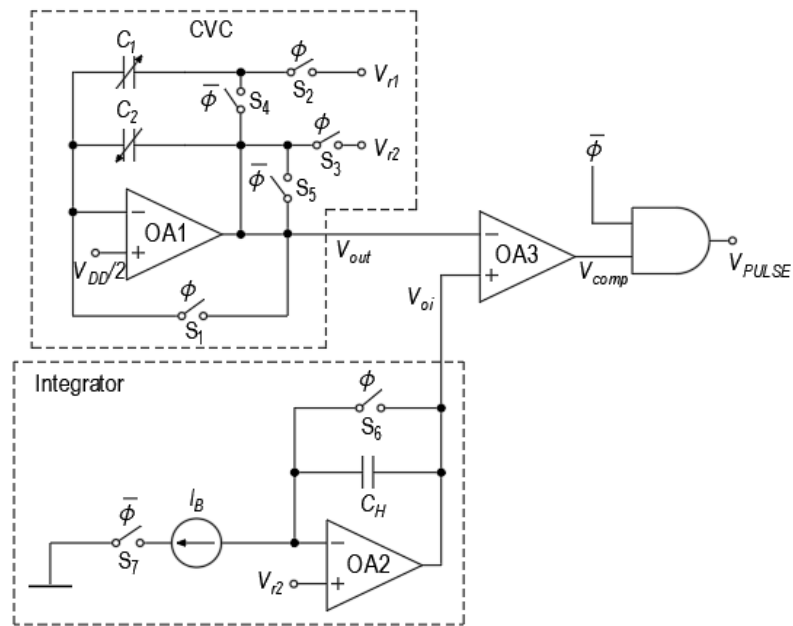
$$V_{out}(\bar{\Phi}) = \frac{V_{DD}}{2} \frac{C_1 + C_2}{C_1 + C_2} + V_R \frac{C_1 - C_2}{C_1 + C_2} = V_R \frac{C_1 - C_2}{C_1 + C_2} + \frac{V_{DD}}{2} \quad (79)$$

Napon  $V_{oi}$  predstavlja izlazni napon integratora. Kada je kontrolni signal  $\Phi$  na visokom logičkom nivou, kondenzator  $C_H$  se prazni, a puni se kada je kontrolni signal  $\bar{\Phi}$  na visokom logičkom nivou. Za vrijeme vremenskog intervala  $\Delta t$  napon  $V_{oi}$  jednak je:

$$V_{oi} = \frac{I_B \Delta t}{C_H} + V_{R2} \quad (80)$$



a)



b)

Slika 13. a) Blok dijagram DCSa baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [12], b) konvertor kapacitivnosti u vrijeme (capacitance-to-time converter - CTC)

Napon  $V_{out}$  se vodi na invertujući priključak komparatora, gdje se upoređuje sa naponom testerastog oblika  $V_{oi}$ .

Izlaz komparatora  $V_{comp}$  predstavlja jedan od ulaza logičkog I kola, dok je na drugom ulazu kontrolni signal  $\bar{\Phi}$ . Vrijeme koje je neophodno da napon  $V_d$  dostigne vrijednost  $V_{out}(\bar{\Phi})$ ,  $t_0$ , može se izraziti na sledeći način:

$$\frac{C_1 - C_2}{C_1 + C_2} V_R + \frac{V_{DD}}{2} = \frac{I_B t_0}{C_H} + \frac{V_{DD}}{2} - V_R \Rightarrow \frac{I_B t_0}{C_H} = \frac{C_1 - C_2}{C_1 + C_2} V_R + V_R$$

$$t_0 = \left( \frac{C_1 - C_2}{C_1 + C_2} - 1 \right) \frac{C_H V_R}{I_B} = (kx - 1) \frac{C_H V_R}{I_B} \quad (81)$$

Ovaj vremenski interval je neophodno digitalizovati koristeći konvertor vremena u digitalnu sekvencu (time-to-digital converter - TDC). Iz relacije (81) može se zaključiti da je mjerena veličina  $x$  proporcionalna dužini trajanja visokog logičkog nivoa na izlazu kola:

$$x = \frac{1}{k} \frac{t_0 I_B}{C_H V_R} + 1 \quad (82)$$

### 1.3.3 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [13]

Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [13] prikazana je na slici 14. Kondenzatori  $C_1$  i  $C_2$  čine DCS. Zajednička tačka DCS-a je povezana na neinvertujući priključak operacionog pojačavača  $OA_1$ . Jedan kraj kondenzatora  $C_2$  je povezan na uzemljenje, dok je jedan kraj kondenzatora  $C_1$  povezan ili na uzemljenje ili na referentni napon  $V_R$ , u zavisnosti od položaja bilateralnog CMOS prekidača  $S_1$ . Definišu se tri faze rada datog kola: pripremna faza, faza punjenja i faza pražnjenja.

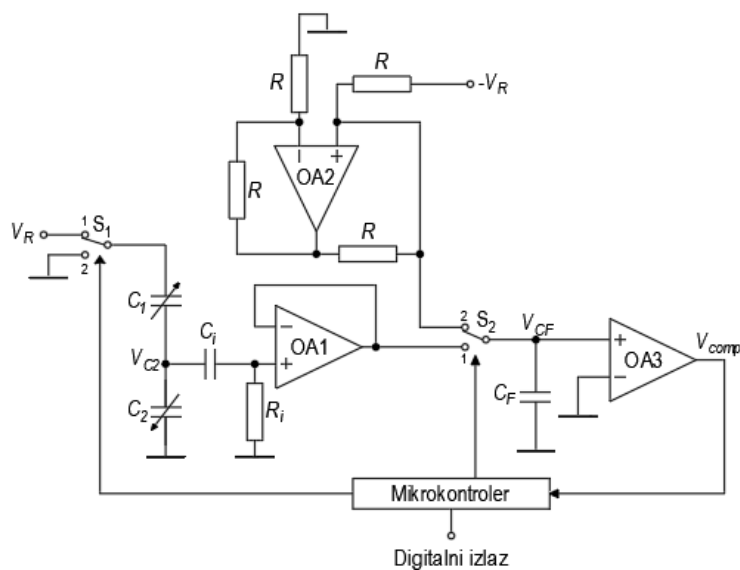
U pripreмноj fazi mikrokontroler postavlja prekidač  $S_1$  u položaj „2“, a prekidač  $S_2$  u položaj „1“. Oba kraja DCS-a su povezana na uzemljenje, pa je napon  $V_{C2} = 0$ , što za posledicu ima pražnjenje kondenzatora  $C_F$ .

U fazi punjenja, koja počinje kada je kontrolni signal periode  $T_C$  na visokom logičkom nivou, mikrokontroler postavlja prekidače  $S_1$  i  $S_2$  u položaj „1“. Kondenzatori  $C_1$  i  $C_2$  su u rednoj vezi i pune se ka vrijednosti referentnog napona  $V_R$ . Tokom ove faze, na izlazu komparatora je logička jedinica. Ukupno naelektrisanje akumulirano u DCS-u se može izraziti relacijom:

$$Q = V_R \left( \frac{C_1 C_2}{C_1 + C_2} \right) \quad (83)$$

Napon  $V_{C2}$  jednak je količniku ukupnog naelektrisanja i kapacitivnosti  $C_2$ :

$$V_{C2} = \frac{Q}{C_2} = \frac{V_R C_1}{C_1 + C_2} \quad (84)$$



Slika 14. DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [13].

Ukoliko se kapacitivnosti  $C_1$  i  $C_2$  zamijene vrijednostima iz (2), dobija se:

$$V_{C_2} = \frac{V_R(1 \pm kx)}{2} \quad (85)$$

Faza pražnjenja počinje opadajućom ivicom kontrolnog signala periode  $T_C$ . Mikrokontroler postavlja prekidače  $S_1$  i  $S_2$  u položaj “2”, što uzrokuje pražnjenje kondenzatora  $C_1$  i  $C_2$  preko uzemljenja. Operacioni pojačavač  $OA_2$ , koji predstavlja naponom kontrolisan strujni izvor, na svom izlazu generiše struju vrijednosti  $V_R/R$ , što uzrokuje pražnjenje kondenzatora  $C_F$ . Na kraju faze pražnjenja, može se pisati sledeća relacija:

$$V_{C_2}C_F = \frac{V_R}{R}T_D \quad (86)$$

Kombinujući relacije (85) i (86) dobija se izraz za mjerenu veličinu  $x$ :

$$\pm kx = \frac{2T_D}{RC_F} - 1 \Rightarrow x = \pm \frac{1}{k} \left( \frac{2T_D}{RC_F} - 1 \right) \quad (87)$$

Mjerena veličina  $x$  je proporcionalna vremenskom intervalu  $T_D$ , koji se mjeri pomoću brojača implementiranog u mikrokontroleru.

### 1.3.4 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [14]

Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [14] prikazana je na slici 15. Pristup se bazira na prekidačkim kondenzatorima  $C_1$  i  $C_2$ , koji čine DCS. Svi prekidači u kolu,  $S_1, S_2, S_3, S_4, S_A$  i  $S_B$  su dvopoložajni. Prekidače  $S_A$  i  $S_B$  kontroliše isti signal periode  $T_C$ , visoke frekvencije, dok se prekidači  $S_1, S_2, S_3$  i  $S_4$  kontrolišu nezavisno, preko kola za kontrolu logike. U zavisnosti od položaja prekidača  $S_A$  i  $S_B$ , kondenzatori  $C_1$  i  $C_2$  se pune i prazne na vrijednosti referentnih napona iste apsolutne vrijednosti suprotnog polariteta, kada se bilateralni dvopoložajni CMOS prekidači  $S_A$  i  $S_B$  nalaze u položaju "1". Dvopoložajni CMOS prekidači  $S_3$  i  $S_4$  su konfigurisani tako da samo jedan od kondenzatora  $C_1, C_2$  ima konekciju sa invertujućim priključkom operacionog pojačavača, kada se bilateralni dvopoložajni CMOS prekidači  $S_A$  i  $S_B$  nalaze u položaju "2". U zavisnosti od toga preko kojeg kondenzatora ( $C_1$  ili  $C_2$ ) se puni kondenzator  $C_F$ , napon na tom kondenzatoru se povećava ili smanjuje. Kao posledica punjenja kondenzatora  $C_F$ , izlazni napon integratora  $V_{oi}$  raste ili opada. Kada se kondenzator  $C_F$  puni preko kondenzatora  $C_1$ , izlazni napon integratora raste sa korakom koji iznosi  $V_R C_1 / C_F$ , i upoređuje se u komparatoru sa logičkom nulom. Izlazni napon komparatora  $V_{comp}$  se šalje kolu za kontrolu logike, koje je realizovano preko prekidača i flip-flopora. Vrijeme prve integracije, kada se kondenzator  $C_F$  puni preko kondenzatora  $C_1$  se označava sa  $T_1$ , a vrijeme druge integracije, kada se kondenzator  $C_F$  puni preko kondenzatora  $C_2$  se označava sa  $T_2$ . Da bio kolo ispravno funkcionisalo, mora biti ispunjen uslov  $T_1 = T_2 = T = NT_C$ . Na kraju druge integracije  $T_2$ , ukupno naelektrisanje na kondenzatoru  $C_F$  je  $V_R \frac{T}{T_C} (C_1 - C_2)$ . Iz izraza za ukupno naelektrisanje se vidi da je napon na izlazu iz integratora jednak nuli ako je  $C_1 = C_2$ . Ako je to slučaj, ciklus konverzije se završava i za digitalni izlaz se uzima vrijednost nula.

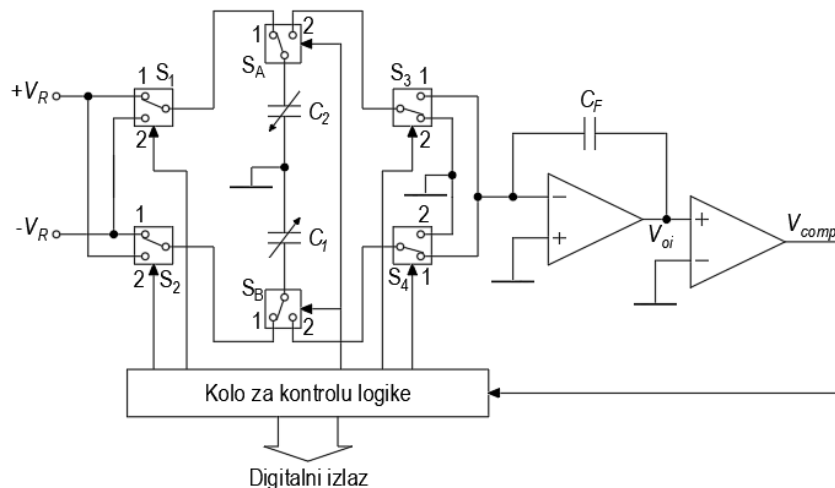
U slučaju da je  $C_1 \neq C_2$ , obavlja se treća integracija. Izlazni napon integratora raste ili opada, i mjeri se vrijeme koje je integratoru potrebno da dostigne nulu,  $T_3 = NT_C$ . Na kraju treće integracije  $T_3$ , ukupno naelektrisanje na kondenzatoru  $C_F$  je dato relacijom  $V_R \frac{T_3}{T_C} (C_1 + C_2)$ .

Koristeći relacije o ukupnom naelektrisanju na kraju druge i treće integracije, može se pisati:

$$V_R \frac{T}{T_C} (C_1 - C_2) = V_R \frac{T_3}{T_C} (C_1 + C_2) \quad (88)$$

Sređivanjem relacije (88) dobija se:

$$T_3 = \frac{C_1 - C_2}{C_1 + C_2} T = kxT \quad (89)$$



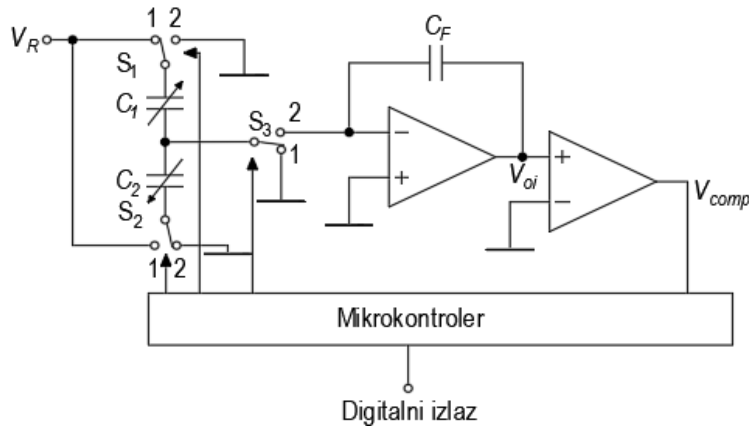
Slika 15. DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [14].

Mjerena veličina  $x$  proporcionalna je trajanju treće integracije  $T_3$ :

$$x = \frac{1}{k} \frac{T_3}{T} \quad (90)$$

### 1.3.5 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [15] i [16]

Na slici 16. prikazana je električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [15] i [16]. Svi prekidači u kolu,  $S_1$ ,  $S_2$  i  $S_3$  su dvopoložajni, i kontrolišu ih CLK signal, visoke frekvencije, periode  $T_C$ , kojeg generiše mikrokontroler. Da bi kolo ispravno funkcionisalo, neophodno je da u početnom trenutku napon na izlazu integratora  $V_{oi}$  bude jednak nuli. Informacija o vrijednosti napona na izlazu integratora se mikrokontroleru prosleđuje preko napona na izlazu iz komparatora  $V_{comp}$ . U zavisnosti od vrijednosti napona  $V_{comp}$ , mikrokontroler konfigurira prekidače  $S_1$ ,  $S_2$  i  $S_3$  kako bi napon na izlazu iz integratora doveo do nule. Tada počinje ciklus konverzije, u kojem se obavljaju dvije integracije, trajanja  $T_1$  i  $T_2$ .  $T_1$  je fiksni vremenski interval, a  $T_2$  je vremenski interval koji se mjeri preko brojača implementiranog u mikrokontroleru. Tokom prve integracije, prekidači  $S_1$ ,  $S_2$  i  $S_3$  su konfigurisani tako da se kondenzator  $C_1$  puni do vrijednosti referentnog napona  $V_R$ , a kondenzator  $C_2$  se prazni, kada je CLK na visokom logičkom nivou. Kada je CLK na logičkoj nuli, prekidači mijenjaju svoj položaj, kondenzator  $C_2$  kreće da se puni, i ukupno naelektrisanje sa kondenzatora  $C_1$  i  $C_2$  se prenosi na kondenzator  $C_F$ . Ukupno naelektrisanje na kondenzatoru  $C_F$  u tom trenutku iznosi  $V_R(C_1 - C_2)$ . Napon na izlazu iz integratora će rasti ili opadati, u zavisnosti od odnosa kapacitivnosti kondenzatora  $C_1$  i  $C_2$ . Kada izlazni napon integratora postane nula, započinje druga integracija, trajanja  $T_2$ . Na početku druge integracije mikrokontroler aktivira brojač, koji mjeri vremenski interval  $T_2$ . Kontrolni signali konfiguriraju prekidače  $S_1$ ,  $S_2$  i  $S_3$  tako da se oba kondenzatora  $C_1$  i  $C_2$  pune do vrijednosti referentnog napona  $V_R$ .



Slika 16. DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [15], [16].

Njihovo ukupno naelektrisanje  $V_R(C_1+C_2)$  se prenosi na kondenzator  $C_F$ . Na kraju obje integracije, napon na izlazu iz integratora jednak je nuli, pa se može napisati sledeća relacija:

$$V_R \left( \frac{C_1 - C_2}{C_F} \right) \frac{T_1}{T_C} = V_R \left( \frac{C_1 + C_2}{C_F} \right) \frac{T_2}{T_C} \quad (91)$$

Iz (91) sledi:

$$T_2 = \left( \frac{C_1 - C_2}{C_1 + C_2} \right) T_1 = kxT_1 \quad (92)$$

Ukoliko se sa  $N_1$  označi broj perioda CLK signala tokom trajanja prve integracije, a sa  $N_2$  broj perioda CLK signala tokom trajanja druge integracije, dobija se:

$$N_2 = \left( \frac{C_1 - C_2}{C_1 + C_2} \right) N_1 = kxN_1 \quad (93)$$

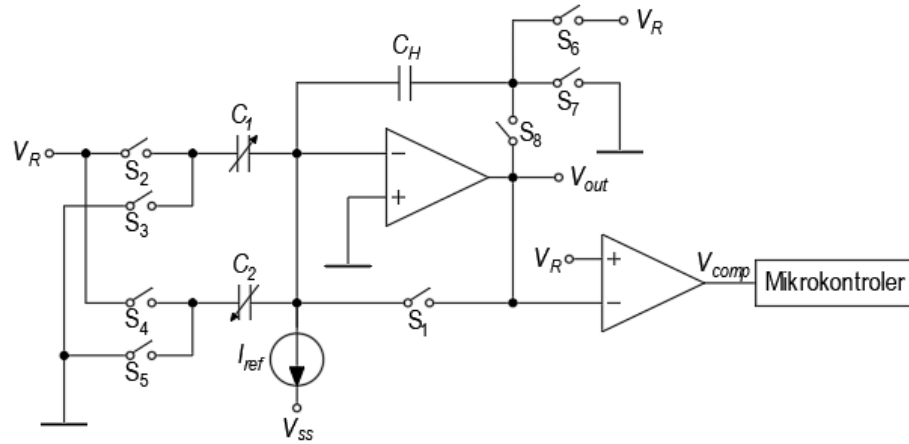
Iz (93) sledi izraz za mjerenu veličinu  $x$ :

$$x = \frac{1}{k} \frac{N_2}{N_1} \quad (94)$$

### 1.3.6 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [17]

Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [17] prikazana je na slici 17. Pristup se bazira na integratoru sa prekidačkim kondenzatorima sa kombinacijom naponskog i strujnog procesiranja. Sve bilateralne CMOS prekidače u kolu  $S_1 - S_8$  kontrolišu





Slika 17. DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [17].

nepreklapajući signali  $\Phi_1$ ,  $\Phi_2$ ,  $\Phi_{s1}$  i  $\Phi_{s2}$ , koje generiše mikrokontroler. Kondenzatori  $C_1$  i  $C_2$  čine DCS, a  $C_H$  predstavlja integracioni kondenzator. U zavisnosti od položaja bilateralnih CMOS prekidača  $S_1 - S_8$ , kondenzatori  $C_1$ ,  $C_2$  i  $C_H$  se pune i prazne, što uzrokuje promjenu izlaznog napona operacionog pojačavača  $V_{out}$ . Taj napon se u komparatoru upoređuje sa referentnim naponom  $V_R$ . Izlaz komparatora  $V_{comp}$  prosleđuje se mikrokontroleru.

U početnoj fazi, kada je kontrolni signal  $\Phi_{s1}$  na logičkoj jedinici, prekidači  $S_1$ ,  $S_3$ ,  $S_4$  i  $S_7$  su zatvoreni, što uzrokuje pražnjenje kondenzatora  $C_1$  i  $C_H$ . Kondenzator  $C_2$  se puni do vrijednosti referentnog napona  $V_R$ . Kada  $\Phi_{s1}$  padne na nivo logičke nule, kontrolni signal  $\Phi_1$  postaje logička jedinica i prekidači  $S_2$ ,  $S_5$  i  $S_8$  se zatvaraju. U tom kratkom početnom trenutku, količina naelektrisanja na kondenzatoru  $C_1$  je  $C_1 V_R$ , a količina naelektrisanja na kondenzatoru  $C_2$  je  $C_2 V_R$ . Algebarska suma ovih naelektrisanja predstavlja izlaz operacionog pojačavača  $V_{out}(1)$ , koji iznosi:

$$V_{out}(1) = -\frac{C_1 - C_2}{C_H} V_R \quad (95)$$

Tokom vremenskog intervala  $\Delta t$  integracioni kondenzator  $C_H$  se puni do vrijednosti  $I_{ref} \Delta t$ . Tada je izlazni napon operacionog pojačavača  $V_{out}(2)$  jednak:

$$V_{out}(2) = -\frac{C_1 - C_2}{C_H} V_R + \frac{I_{ref}}{C_H} \Delta t \quad (96)$$

Vrijeme koje je neophodno da napon  $V_{out}(2)$  poraste od vrijednosti  $V_{out}(1)$  do vrijednosti referentnog napona  $V_R$ , se označava sa  $t_1$  i može se izraziti na sledeći način:

$$t_1 = \frac{(C_1 - C_2) + C_H}{I_{ref}} V_R \quad (97)$$

Kada napon  $V_{out}(2)$  dostigne vrijednost  $V_R$  stanje na komparatoru se mijenja što uzrokuje i promjenu u kontrolnim signalima  $\Phi_1$  i  $\Phi_{s2}$ . Mijenja se i konfiguracija prekidača  $S_1$ ,  $S_3$ ,  $S_5$  i  $S_6$ , kondenzatori  $C_1$  i  $C_2$  se prazne a kondenzator  $C_H$  se puni do vrijednosti referentnog napona  $V_R$ . Napon na izlazu operacionog pojačavača  $V_{out}(3)$  je jednak:

$$V_{out}(3) = -\frac{C_1 + C_2}{C_H} V_R + V_R \quad (98)$$

Tokom kratkog vremenskog intervala  $\Delta t$  integracioni kondenzator  $C_H$  se puni do vrijednosti  $I_{ref} \Delta t$ . Tada je izlazni napon operacionog pojačavača  $V_{out}(4)$  jednak:

$$V_{out}(4) = \frac{-(C_1 + C_2) + C_H}{C_H} V_R + \frac{I_{ref}}{C_H} \Delta t \quad (99)$$

Vrijeme koje je neophodno da napon  $V_{out}(4)$  poraste od vrijednosti  $V_{out}(3)$  do vrijednosti referentnog napona  $V_R$ , se označava sa  $t_2$  i može se izraziti na sledeći način:

$$t_2 = \frac{C_1 + C_2}{I_{ref}} V_R \quad (100)$$

Vremenski intervali  $t_1$  i  $t_2$  se mjere brojačima koji su integrisani u mikrokontroleru. Izlaz kola  $N$  se definiše kao odnos vremenskih intervala  $t_1$  i  $t_2$ :

$$N = \frac{t_1}{t_2} = \frac{C_1 - C_2}{C_1 + C_2} + \frac{C_H}{C_1 + C_2} = kx + \frac{C_H}{C_1 + C_2} \quad (101)$$

Iz (101) dobija se izraz za mjerenu veličinu  $x$ :

$$x = \frac{1}{k} N - \frac{1}{k} \frac{C_H}{C_1 + C_2} \quad (102)$$

### 1.3.7 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [18]

DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [18] predstavljen je na slici 18. Na slici su prikazani i kontrolni signali svih bilateralnih CMOS prekidača u kolu. Pristup se bazira na integratoru sa prekidačkim kondenzatorima sa kombinacijom naponskog i strujnog procesiranja. U fazi kada je kontrolni signal  $\Phi_{S1}$  na logičkoj jedinici, kondenzatori  $C_1$  i  $C_2$ , koji čine DCS se pune do vrijedosti referentnog napona  $V_R$ . U toj fazi, mikrokontroler konfigurira prekidače  $S_6$  i  $S_7$  tako da napon  $V_{r1}$  ima konekciju sa invertujućim priključkom komparatora. U sledećoj fazi, kada je kontrolni signal  $\Phi_1$  na visokom logičkom nivou, prekidači  $S_3$  i  $S_4$  se zatvaraju, pa je izlazni napon operacionog pojačavača  $V_{out}(1)$ , dat sledećim izrazom:

$$V_{out}(1) = V_R \quad (103)$$

Tokom kratkog vremenskog intervala  $\Delta t$ , kondenzator  $C_1$  se puni preko referentne struje  $I_{ref}$ . Nakon vremenskog intervala  $\Delta t$ , napon na izlazu iz operacionog pojačavača  $V_{out}(2)$  je jednak:

$$V_{out}(2) = V_R + \frac{I_{ref}}{C_1} \Delta t \quad (104)$$

Vrijeme koje je potrebno da napon  $V_{out}(2)$  poraste od vrijednosti  $V_{r1}$  do vrijednosti  $V_{r2}$  označava se sa  $t_1$ , i može se napisati sledeća relacija:

$$t_1 = \frac{C_1}{I_{ref}} (V_{r2} - V_{r1}) \quad (105)$$

Kada napon  $V_{out}(2)$  dostigne vrijednost  $V_{r1}$ , mikrokontroler konfigurira prekidače  $S_6$  i  $S_7$  tako da se napon na invertujućem priključku komparatora promijeni sa  $V_{r1}$  na  $V_{r2}$ . Napon  $V_{out}(2)$  dalje raste, dok ne dostigne vrijednost  $V_{r2}$ , i tada mikrokontroler ponovo postavlja napon  $V_{r1}$  na invertujućem priključku komparatora.

U sledećoj fazi, kada je kontrolni signal  $\Phi_{S1}$  na visokom logičkom nivou, kondenzatori  $C_1$  i  $C_2$  se pune do vrijednosti referentnog napona  $V_R$ . Kada kontrolni signal  $\Phi_2$  dostigne logičku jedinicu, napon na izlazu iperacionog pojačavača  $V_{out}(3)$  je jednak:

$$V_{out}(3) = V_R \quad (106)$$



### 1.3.8 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [19]

DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [19] prikazan je na slici 19. Kondenzatori  $C_1$  i  $C_2$ , koji čine DCS su povezani direktno u povratnu granu operacionog pojačavača, i sa otpornikom  $R$  čine integrator. Bilateralne CMOS prekidače  $S_1$  i  $S_2$  kontroliše isti signal kojeg generiše mikrokontroler. Kolo obavlja dvije integracije, trajanja  $T_1$  i  $T_2$ . Trajanje prve integracije  $T_1$  je fiksno, dok se trajanje druge integracije  $T_2$  mjeri. Napon na izlazu integratora  $V_{oi}$  se dovodi na neinvertujući priključak komparatora, gdje se upoređuje sa logičkom nulom. Informacija o stanju izlaznog napona integratora  $V_{oi}$  se mikrokontroleru prosleđuje posredno, preko izlaznog napona komparatora  $V_{comp}$ . U toku prve integracije, prekidač  $S_1$  je u položaju 2, a prekidač  $S_2$  je zatvoren, što će u potpunosti isprazniti kondenzator  $C_2$ . Napon na izlazu integratora  $V_{oi}$  raste, i na kraju prve integracije je jednak:

$$V_{oi}(T = T_1) = \frac{V_R}{RC_1} T_1 \quad (111)$$

Prekidači mijenjaju svoje položaje na kraju prve integracije, pa se u povratnoj grani operacionog pojačavača nalazi redna veza kondenzatora  $C_1$  i  $C_2$ . Napon na izlazu integratora  $V_{oi}$  opada, i na kraju druge integracije je jednak:

$$V_{oi}(T = T_2) = \frac{V_R(C_1 + C_2)}{RC_1 C_2} T_2 \quad (112)$$

Iz (111) i (112) slijedi:

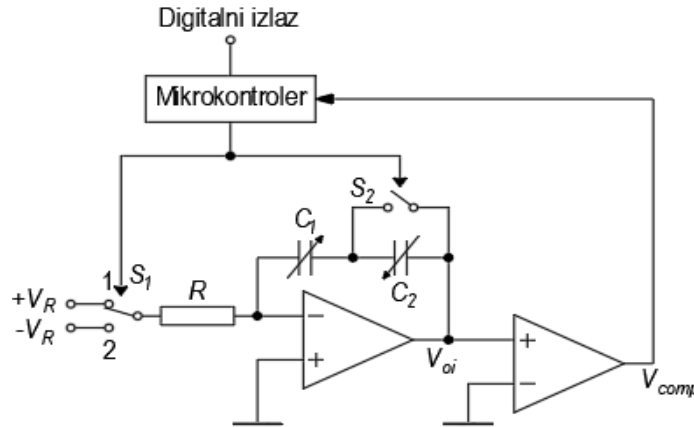
$$\frac{V_R}{RC_1} T_1 = \frac{V_R(C_1 + C_2)}{RC_1 C_2} T_2 \quad (113)$$

Iz relacije (96) dobija se odnos vremenskih intervala prve i druge integracije  $T_1$  i  $T_2$ :

$$T_2 = \frac{C_2}{C_1 + C_2} T_1 \quad (114)$$

Kombinujući relaciju (114) sa relacijom o principu rada DCSa (4), dobija se izraz za mjerenu veličinu  $x$ :

$$x = \frac{1}{k} \frac{C_1 - C_2}{C_1 + C_2} = \frac{T_1 - 2T_2}{T_1} \quad (115)$$



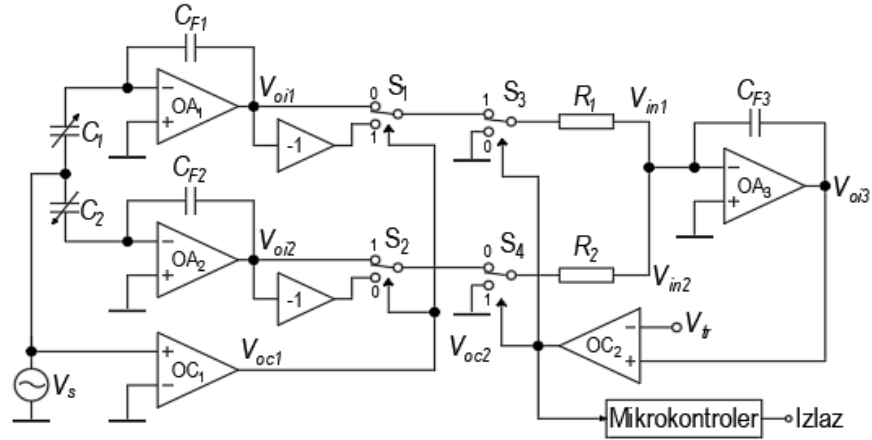
Slika 19. DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [19].

### 1.3.9 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme [20]

Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [20] prikazana je na slici 20. Na zajedničku tačku DCS-a, kojeg čine kondenzatori  $C_1$  i  $C_2$  se dovodi ulazni sinusoidalni napon  $V_s$ . Na izlazima integratora dobijaju se trougaoni naponi  $V_{oi1}$  i  $V_{oi2}$ . Ti naponi, kao i njihovi inverzni ekvivalenti se vode na bilateralni CMOS prekidač  $S_1$  ( $S_2$ ) koji predstavlja punotalasni ispravljač. CMOS prekidači  $S_1$  i  $S_2$  imaju isti kontrolni signal sa izlaza komparatora  $V_{oc1}$ , na čijem neinvertujućem priključku se dovodi sinusoidalni napon  $V_s$ , koji se upoređuje sa logičkom nulom. Nakon toga, pomoću bilateralnog CMOS prekidača  $S_3$  ( $S_4$ ) se vrši modulacija signala dobijenih na izlazu punotalasnog ispravljača. CMOS prekidači  $S_3$  i  $S_4$  imaju isti kontrolni signal sa izlaza komparatora  $V_{oc2}$ . Naponi dobijeni nakon modulacije,  $V_{in1}$  i  $V_{in2}$  se dovode na analogni integrator, kojeg čine operacioni pojačavač  $OA_3$ , kondenzator  $C_{F3}$ , i otpornici  $R_1$  i  $R_2$ . Integrator predstavlja LPF, koji toliko slabi ulazne signale, da se na njegovom izlazu dobija samo DC komponenta, koja se vodi na neinvertujući priključak komparatora  $OC_2$  i upoređuje se sa referentnim trougaonim naponom  $V_{tr}$ . Vrijeme tokom kojeg je izlazni napon komparatora  $V_{oc2}$  na visokom logičkom nivou označava se sa  $T_1$ , a vrijeme tokom kojeg je izlazni napon komparatora  $V_{oc2}$  na niskom logičkom nivou označava se sa  $T_2$ . Srednje vrijednosti ulaznih signala LPF-a  $V_{in1}$  i  $V_{in2}$  su direktno proporcionalne kapacitivnostima  $C_1$  i  $C_2$ , respektivno. Takođe, srednje vrijednosti ulaznih signala LPF-a  $V_{in1}$  i  $V_{in2}$  su direktno proporcionalne  $D$  i  $(1-D)$ , respektivno, gdje je  $D = T_1/(T_1+T_2)$ .

Izlazni napon LPF-a,  $V_{oi3}$ , se može izraziti na sledeći način, ukoliko važi  $R_1 = R_2 = R$ :

$$V_{oi3} = -\frac{1}{R_1} V_{in1} - \frac{1}{R_2} V_{in2} = -\frac{1}{j\omega RC_{F3}} (V_{in1} + V_{in2}) \quad (116)$$



Slika 20. Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u vrijeme [20].

Kada je  $C_1 = C_2$ , tada važi  $\overline{V_{in1}} = -\overline{V_{in2}}$ , gdje su  $\overline{V_{in1}}$  i  $\overline{V_{in2}}$  srednje vrijednosti napona  $V_{in1}$  i  $V_{in2}$ , respektivno. Kao posledica jednakosti tih napona, napon  $V_{oi3}$  jednak je nuli i  $T_1 = T_2$ . Kada je  $C_1 < C_2$ , povećava se vremenski interval  $T_1$ , a smanjuje  $T_2$ . Napon  $V_{in1}$  raste, a napon  $V_{in2}$  opada. Proces se nastavlja sve dok napon  $V_{oi3}$  ne postane konstantan, tj dok se ne ispuni uslov  $V_{in1} = -V_{in2}$ .

Nakon što se ispuni uslov  $V_{in1} = -V_{in2}$ , može se pisati sledeća relacija:

$$C_1 D = C_2 (1 - D) \quad (117)$$

Relacija (117) se može zapisati i na sledeći način:

$$\frac{C_1}{C_2} = \frac{1 - D}{D} = \frac{1 - \frac{T_1}{T_1 + T_2}}{\frac{T_1}{T_1 + T_2}} = \frac{\frac{T_1 + T_2 - T_1}{T_1 + T_2}}{\frac{T_1}{T_1 + T_2}} = \frac{T_2}{T_1} \quad (118)$$

Iz (118) se može pisati sledeća relacija:

$$\frac{C_1 - C_2}{C_1 + C_2} = \frac{T_2 - T_1}{T_2 + T_1} = \pm kx \quad (119)$$

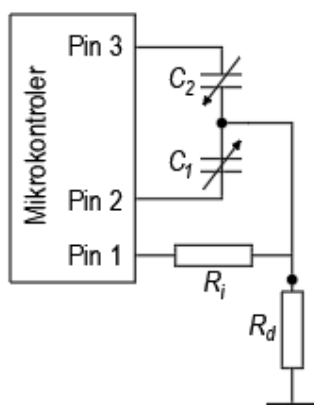
Iz (119) dobija se izraz za mjerenu veličinu  $x$ :

$$x = \pm \frac{1}{k} \frac{T_2 - T_1}{T_2 + T_1} \quad (120)$$

### 1.3.10 DCS baziran na konverziji diferencijalne kapacitivnosti u vrijeme sa direktnom vezom priključaka DCS-a na mikrokontroler [21] i [22]

Električna šema DCS-a koji se svojim priključcima direktno povezuje na mikrokontroler [21] i [22] prikazana je na slici 21. Pristup se bazira na selekciji pojedinačnih kondenzatora  $C_1$  i  $C_2$  koji formiraju diferencijalni kapacitivni senzor postavljanjem odgovarajućih naponskih vrijednosti i stanja visoke impedanse na portove mikrokontrolera na koje su povezani priključci senzora. Prethodno napunjen kondenzator  $C_1$ , odnosno  $C_2$ , kao i paralelna veza kondenzatora  $C_1$  i  $C_2$ , prazni se do definisanog naponskog nivoa po eksponencijalnom zakonu preko otpornika poznate otpornosti. Primjenom tajmera mikrokontrolera obavlja se mjerenje vremena pražnjenja kondenzatora kapacitivnosti  $C_1$ ,  $C_2$ , i  $C_1+C_2$ . Ovako izmjereni vremenski intervali se na odgovarajući način matematički obrađuju u mikrokontroleru u cilju izračunavanja diferencijalne kapacitivnosti  $(C_1 - C_2)/(C_1 + C_2)$ .

Prvo mjerenje koje mikrokontroler obavlja je mjerenje pražnjenja kondenzatora kapacitivnosti  $C_1$ , označeno sa  $T_1$ . Drugo mjerenje je pražnjenje kondenzatora kapacitivnosti  $C_2$ , označeno sa  $T_2$ , a treće mjerenje je pražnjenje kondenzatora kapacitivnosti  $C_1+C_2$ .



Slika 21. Električna šema DCS-a koji se svojim priključcima direktno povezuje na mikrokontroler [21] i [22].

Vremenski intervali  $T_1$ ,  $T_2$  i  $T_3$  su dati sledećim relacijama:

$$T_1 = kC_0 + kC_0x \quad (121)$$

$$T_2 = kC_0 - kC_0x \quad (122)$$

$$T_3 = 2kC_0 \quad (123)$$

Iz (121), (122) i (123) dobija se izraz za mjerenu veličinu  $x$ :

$$x = \frac{T_1 - T_2}{T_3} \quad (124)$$



#### 1.4 DIFERENCIJALNI KAPACITIVNI SENZOR BAZIRAN NA KONVERZIJI DIFERENCIJALNE KAPACITIVNOSTI U FREKVENCIJU [23]

Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u frekvenciju [23] prikazana je na slici 22. Bilateralne CMOS prekidače  $S_1$ ,  $S_2$  i  $S_5$  kontrolirše isti signal  $\Phi_{sw}$ , CMOS prekidač  $S_3$  kontrolirše signal  $\Phi_1$ , a CMOS prekidač  $S_4$  kontrolirše signal  $\Phi_2$ , koji je ujedno i izlaz iz konvertora napona u frekvenciju VFC. Kondenzatori  $C_a$  i  $C_{F1}$  zajedno sa operacionim pojačavačem  $OA_1$  čine integrator sa izlaznim naponom  $V_{oi1}$ . Kondenzatori  $C_b$  i  $C_{F2}$  zajedno sa operacionim pojačavačem  $OA_2$  čine integrator sa izlaznim naponom  $V_{oi2}$ . Kroz kondenzatore  $C_1$  i  $C_2$ , koji čine DCS, protiču struje  $I_1$  i  $I_2$ , koje se mijenjaju po zakonu  $dq/dt$ , gdje je  $q$  količina naelektrisanja na kondenzatoru  $C_1$  ( $C_2$ ). Za struje  $I_1$  i  $I_2$  se mogu pisati sledeće relacije:

$$I_1 = -C_1 \frac{dV_{oi1}}{dt} = -C_1 \frac{V_R C}{C_F} f_1 \quad (125)$$

$$I_2 = C_2 \frac{dV_{oi2}}{dt} = C_2 \frac{V_R C}{C_F} f_2 \quad (126)$$

Iz relacija (125) i (126) dobija se izraz za struju  $I_3$ :

$$I_3 = I_1 + I_2 = (C_2 f_2 - C_1 f_1) \frac{V_R C}{C_F} \quad (127)$$

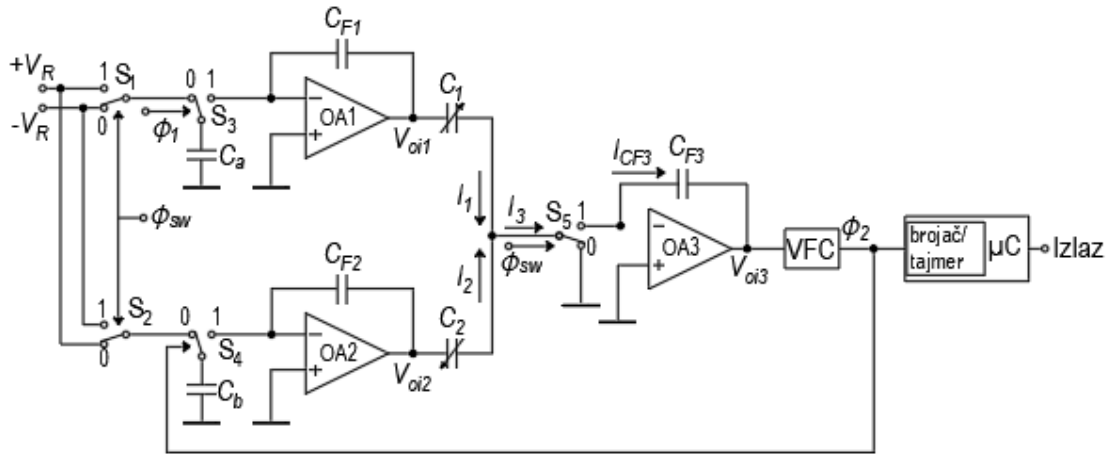
Rezultujuća struja  $I_3 = I_1 + I_2$  jednaka je struji  $I_{CF3}$ , ako je bilateralni dvopoložajni CMOS prekidač  $S_5$  u položaju „1“. Ukoliko je prekidač  $S_5$  u položaju „0“, struja  $I_{CF3}$  jednaka je nuli, pa je samim tim i izlazni napon  $V_{oi3}$  jednak nuli.

Izlazni napon  $V_{oi3}$  se može izraziti na sledeći način:

$$V_{oi3} = -\frac{1}{C_{F3}} \int I_{CF3} dt = (C_1 f_1 - C_2 f_2) \frac{V_R C}{2C_F C_{F3}} t \quad (128)$$

Da bi kolo obavljalo konverziju diferencijalne kapacitivnosti  $(C_1 - C_2)/(C_1 + C_2)$ , frekvencije  $f_1$  i  $f_2$  kontrolnih signala  $\Phi_1$  i  $\Phi_2$  moraju biti jednake. Ukoliko važi da je  $C_1 > C_2$ , izlazna frekvencija  $f_2$  raste, što uzrokuje smanjenje struje  $I_3$ . Frekvencija  $f_2$  raste sve dok struje  $I_1$  i  $I_2$  ne postanu jednake po apsolutnoj vrijednosti,  $|I_1| = |I_2|$ . Tada se iz relacije (128) dobija sledeći uslov:

$$C_1 f_1 = C_2 f_2, \text{ tj. } \frac{C_1}{C_2} = \frac{f_2}{f_1} \quad (129)$$



Slika 22. Električna šema DCS-a baziranog na konverziji diferencijalne kapacitivnosti u frekvenciju [23].

Slično, ako je  $C_1 < C_2$ , izlazna frekvencija  $f_2$  se smanjuje, struja  $I_3$  raste, a napon  $V_{oi3}$  opada. Frekvencija  $f_2$  se smanjuje sve dok struje  $I_1$  i  $I_2$  ne postanu jednake po apsolutnoj vrijednosti,  $|I_1| = |I_2|$ .

Obavljanjem računске operacije dijeljenja razlike i zbira frekvencija  $f_2$  i  $f_1$ , dobija se:

$$\frac{f_2 - f_1}{f_2 + f_1} = \frac{C_1 - C_2}{C_1 + C_2} = kx \quad (130)$$

Iz (121) slijedi da je mjerena veličina  $x$  jednaka:

$$x = \frac{1}{k} \frac{f_2 - f_1}{f_2 + f_1} \quad (131)$$

# Diferencijalni kapacitivni senzor sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval

---

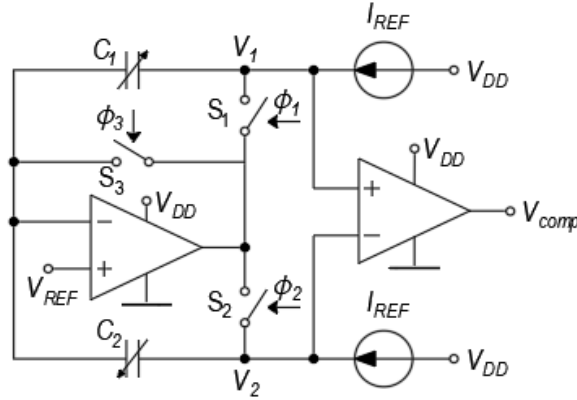
## 1.5 PRINCIP RADA DCS-A SA STRUJNIM PROCESIRANJEM NA BAZI PRETVARANJA DIFERENCIJALNE KAPACITIVNOSTI U DIGITALIZOVANI VREMENSKI INTERVAL

Električna šema DCS-a sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval prikazana je na slici 23. Kolo se sastoji od operacionog pojačavača OA, komparatora COMP, bilateralnih CMOS prekidača  $S_1$ ,  $S_2$  i  $S_3$ , referentnog DC napona  $V_{ref}$ , dva referentna strujna izvora  $I_{ref}$  i kondenzatora  $C_1$  i  $C_2$ , koji čine DCS. Bilateralne CMOS prekidače  $S_1$ ,  $S_2$  i  $S_3$  kontrolišu naponski signali  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$ .

Zajednički čvor DCS-a povezan je na invertujući priključak operacionog pojačavača OA. Neinvertujući priključak operacionog pojačavača OA je povezan na referentni napon  $V_{ref}$ . Dva nezavisna kraja DCS-a priključeni su na DC strujne izvore  $I_{ref}$ .

Jedan ciklus rada datog kola sastoji se od tri faze. Prva faza započinje startovanjem kvazi-stabilnog stanja monostabilnog multivibratora (MM), trajanja  $T_{MM}$ . Tokom ove faze, svi kontrolni naponi  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$  se postavljaju na visok logički nivo,  $\Phi_1 = \Phi_2 = \Phi_3 = V_{DD}$ , što uzrokuje zatvaranje svih bilateralnih CMOS prekidača  $S_1$ ,  $S_2$  i  $S_3$ . Kao posledica takve konfiguracije prekidača, kondenzatori  $C_1$  i  $C_2$  se prazne. Trajanje kvazi-stabilnog stanja monostabilnog multivibratora (MM),  $T_{MM}$ , mora biti dovoljno dugo da bi se kondenzatori  $C_1$  i  $C_2$  potpuno ispraznili. Za vrijeme trajanja pražnjenja kondenzatora  $C_1$  i  $C_2$ , vrijednost izlaznog napona komparatora,  $V_{comp}$  je neizvjesno. Uzima se pretpostavka da je  $V_{comp} = 0$  za  $C_1 < C_2$ , i  $V_{comp} = V_{DD}$  za  $C_1 > C_2$ , iako to ne mora biti slučaj.

Druga faza započinje odmah nakon završetka prve faze, tako što se kontrolni naponi  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$  konfiguriraju na sledeći način:  $\Phi_1 = \Phi_2 = 0$ ,  $\Phi_3 = V_{DD}$ . To uzrokuje otvaranje bilateralnih CMOS prekidača  $S_1$  i  $S_2$ , a zatvaranje bilateralnog CMOS prekidača  $S_3$ . Tada se operacioni pojačavač OA nalazi u konfiguraciji jediničnog pojačavača zahvaljujući negativnoj povratnoj sprezi uspostavljenoj od izlaza do invertujućeg ulaza operacionog pojačavača, primjenom zatvorenog prekidača  $S_3$ . Referentne struje  $I_{ref}$  protiču kroz kondenzatore  $C_1$  i  $C_2$ , i obavlja se prva integracija.



Slika 23. Električna šema DCSa sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval

Naponi  $V_1$  i  $V_2$  na nezavisnim krajevima konenzatora  $C_1$  i  $C_2$  se mijenjaju u drugoj fazi prema sledećim relacijama:

$$V_1 = V_{REF} + \frac{I_{REF}}{C_1} t \quad (132)$$

$$V_2 = V_{REF} + \frac{I_{REF}}{C_2} t \quad (133)$$

Trajanje druge faze  $T_1$  je konstantno i unaprijed određeno,  $T_1 = const$ . U zavisnosti od odnosa kapacitivnosti  $C_1$  i  $C_2$ , izlazni napon komparatora  $V_{comp}$  tokom druge faze se može izraziti na sledeći način:

$$V_{comp} = \begin{cases} V_{DD}, & C_1 < C_2 \\ 0, & C_1 > C_2 \end{cases} \quad (134)$$

Treća faza započinje odmah nakon završetka druge faze, tako što se kontrolni naponi  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$  konfiguriraju na sledeći način:  $\Phi_1 = V_{DD}$ ,  $\Phi_2 = 0$  ( $C_1 < C_2$ ,  $V_{comp} = V_{DD}$ ), ili  $\Phi_1 = 0$ ,  $\Phi_2 = V_{DD}$  ( $C_1 > C_2$ ,  $V_{comp} = 0$ ), pri čemu je  $\Phi_3 = 0$  u oba slučaja.

Ako je  $C_1 < C_2$ , bilateralni CMOS prekidač  $S_1$  je zatvoren, dok su prekidači  $S_2$  i  $S_3$  otvoreni. Ista referentna struja  $I_{ref}$  protiče kroz kondenzatore  $C_1$  i  $C_2$ . Smjer ove struje određuje donji strujni izvor  $I_{ref}$ . To znači da referentna struja  $I_{ref}$  donjeg strujnog izvora teče kroz kondenzator  $C_1$  u suprotnom smjeru u odnosu na drugu fazu, a kroz kondenzator  $C_2$  u istom smjeru kao i tokom druge faze.

Ako je  $C_1 > C_2$ , bilateralni CMOS prekidač  $S_2$  je zatvoren, dok su prekidači  $S_1$  i  $S_3$  otvoreni. Ista referentna struja  $I_{ref}$  protiče kroz kondenzatore  $C_1$  i  $C_2$ . Smjer ove struje određuje gornji strujni

izvor  $I_{ref}$ . To znači da referentna struja  $I_{ref}$  donjeg strujnog izvora teče kroz kondenzator  $C_2$  u suprotnom smjeru u odnosu na drugu fazu, a kroz kondenzator  $C_1$  u istom smjeru kao i tokom druge faze. Naponi  $V_1$  i  $V_2$  na nezavisnim krajevima konenzatora  $C_1$  i  $C_2$  se mijenjaju u trećoj fazi prema sledećim relacijama:

$$V_1 = \begin{cases} V_{REF} - \frac{I_{REF}}{C_1}(t - T_1), C_1 < C_2 \\ V_{REF} + \frac{I_{REF}}{C_1}(t + T_1), C_1 > C_2 \end{cases} \quad (135)$$

$$V_2 = \begin{cases} V_{REF} + \frac{I_{REF}}{C_2}(t + T_1), C_1 < C_2 \\ V_{REF} - \frac{I_{REF}}{C_2}(t - T_1), C_1 > C_2 \end{cases} \quad (136)$$

Treća faza  $T_2$  traje sve dok se ne ispuni sledeći uslov:

$$V_1(T_2) = V_2(T_2) \quad (137)$$

Izlazni napon komparatora  $V_{comp}$  mijenja svoje stanje sa  $V_{DD}$  na 0 ( $C_1 < C_2$ ), ili sa 0 na  $V_{DD}$  ( $C_1 > C_2$ ), kada se ispuni uslov iz relacije iznad (137).

Kombinujući relacije (135, 136 i 137), u zavisnosti od odnosa kapacitivnosti  $C_1$  i  $C_2$ , izraz za mjerenu veličinu  $x$  se dobija na sledeći način:

$$\begin{aligned} V_{REF} - \frac{I_{REF}}{C_1}T_2 + \frac{I_{REF}}{C_1}T_1 &= V_{REF} + \frac{I_{REF}}{C_2}T_2 + \frac{I_{REF}}{C_2}T_1 \\ \left(\frac{1}{C_1} - \frac{1}{C_2}\right)T_1 &= \left(\frac{1}{C_1} + \frac{1}{C_2}\right)T_2 \Rightarrow \frac{C_2 - C_1}{C_1 C_2}T_1 = \frac{C_1 + C_2}{C_1 C_2}T_2 \\ \frac{C_2 - C_1}{C_1 + C_2} = \frac{T_2}{T_1} &\Rightarrow x = \frac{C_1 - C_2}{C_1 + C_2} = -\frac{T_2}{T_1}, \quad C_1 < C_2 \end{aligned} \quad (138)$$

$$\begin{aligned} V_{REF} + \frac{I_{REF}}{C_1}T_2 + \frac{I_{REF}}{C_1}T_1 &= V_{REF} - \frac{I_{REF}}{C_2}T_2 + \frac{I_{REF}}{C_2}T_1 \\ \left(\frac{1}{C_1} - \frac{1}{C_2}\right)T_1 &= -\left(\frac{1}{C_1} + \frac{1}{C_2}\right)T_2 \Rightarrow \frac{C_1 - C_2}{C_1 C_2}T_1 = \frac{C_1 + C_2}{C_1 C_2}T_2 \end{aligned}$$

$$x = \frac{C_1 - C_2}{C_1 + C_2} = \frac{T_2}{T_1}, \quad C_1 > C_2 \quad (139)$$

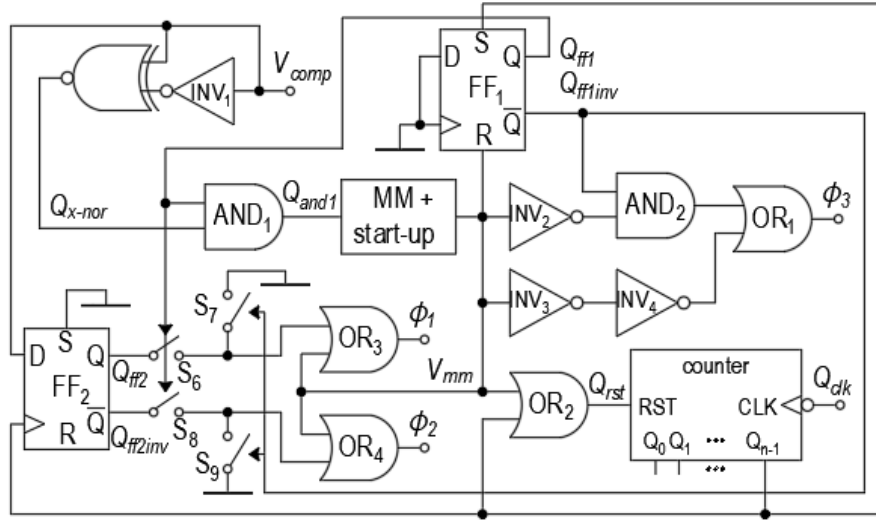
$$x = \frac{C_1 - C_2}{C_1 + C_2} = \begin{cases} -\frac{T_2}{T_1}, & C_1 < C_2 \\ \frac{T_2}{T_1}, & C_1 > C_2 \end{cases} \quad (140)$$

Polaritet izraza (140) određuje vrijednost izlaznog napona komparatora  $V_{comp}$ , dat relacijom (134), koja je ista tokom druge i treće faze. S obzirom da je vrijeme trajanja druge faze  $T_1$  konstantno i unaprijed određeno, mjerena veličina  $x$  se dobija mjerenjem trajanja treće faze  $T_2$ .

## 1.6 KONTROLNO KOLO

Na slici 24. prikazana je električna šema kontrolnog kola, koje služi za generisanje kontrolnih naponskih signala  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$ , vremenskih intervala  $T_{MM}$  i  $T_1$ , kao i za mjerenje vremenskog intervala  $T_2$ .

Predloženi DCS mora da započne sa radom neposredno nakon uključenja napona napajanja. U tu svrhu, u sklopu MM-a se implementira start-up kolo, koje omogućava generisanje impulsa za početak rada MM-a. MM ulazi u kvazi-stabilno stanje trajanja  $T_{MM}$ , postavljajući napon  $V_{mm} = V_{DD}$  na reset ulaz D flip-flopa FF<sub>1</sub>, na ulaze invertora INV<sub>2</sub> i INV<sub>3</sub>, i na jedan od ulaza logičkih ILI kola OR<sub>2</sub>, OR<sub>3</sub> i OR<sub>4</sub>. Kao posledica ovakve konfiguracije, dobija se visok logički nivo na invertovanom izlaznom naponu  $Q_{ffinv}$  D flip-flopa FF<sub>1</sub>, na reset priključku  $Q_{rst}$  brojača, kao i na kontrolnim naponima  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$ ,  $Q_{ffinv} = Q_{rst} = \Phi_1 = \Phi_2 = \Phi_3 = V_{DD}$ . Time započinje prva faza. Brojač se resetuje, bilateralni CMOS prekidači S<sub>7</sub> i S<sub>9</sub> se zatvaraju preko kontrolnog napona  $Q_{ffinv} = V_{DD}$ , i nizak naponski nivo se dovodi na jedan od ulaza logičkih ILI kola OR<sub>3</sub> i OR<sub>4</sub>. S obzirom da je izlazni napon  $Q_{ffl}$  D flip-flopa FF<sub>1</sub> na niskom logičkom nivou,  $Q_{ffl} = 0$ , bilateralni CMOS prekidači S<sub>6</sub> i S<sub>8</sub> su otvoreni. Dodatno, i jedan od ulaza logičkog I kola AND<sub>1</sub> je na niskom logičkom nivou, te je njegov izlazni napon  $Q_{and1}$  na niskom logičkom nivou,  $Q_{and1} = 0$ , što za posledicu ima zaključavanje MM-a.



Slika 24. Električna šema kontrolne jedinice za generisanje kontrolnih naponskih signala  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$ , vremenskih intervala  $T_{MM}$  i  $T_1$ , kao i za mjerenje vremenskog intervala  $T_2$ .

Kada se završi kvazi-stabilno stanje MM-a, započinje njegovo stabilno stanje, a samim tim započinje i druga faza. Napon  $V_{mm}$  koji je na niskom logičkom nivou,  $V_{mm} = 0$ , se postavlja na reset ulaz D flip-flopa FF<sub>1</sub>, na ulaze invertora INV<sub>2</sub> i INV<sub>3</sub>, i na jedan od ulaza logičkih ILI kola OR<sub>2</sub>, OR<sub>3</sub> i OR<sub>4</sub>. Kao posledica ovakve konfiguracije, na invertovanom izlaznom naponu  $Q_{ff1inv}$  D flip-flopa FF<sub>1</sub> i dalje ostaje visok logički nivo,  $Q_{ff1} = V_{DD}$ . Dodatno, i kontrolni napon  $\Phi_3$  ostaje na visokom logičkom nivou,  $\Phi_3 = V_{DD}$ , zbog stanja na invertoru INV<sub>2</sub>, logičkom I kolu AND<sub>2</sub> i logičkom ili kolu OR<sub>1</sub>. U isto vrijeme, bilateralni CMOS prekidači S<sub>7</sub> i S<sub>9</sub> ostaju zatvoreni preko kontrolnog napona  $Q_{ff1inv} = V_{DD}$ , i nizak naponski nivo se dovodi na jedan od ulaza logičkih ILI kola OR<sub>3</sub> i OR<sub>4</sub>. Izlazni napon  $Q_{ff1}$  D flip-flopa FF<sub>1</sub> je i dalje na niskom logičkom nivou,  $Q_{ff1} = 0$ , bilateralni CMOS prekidači S<sub>6</sub> i S<sub>8</sub> su i dalje otvoreni. S obzirom da je na oba ulaza logičkih ILI kola OR<sub>3</sub> i OR<sub>4</sub> nizak naponski nivo, kontrolni naponi  $\Phi_1$  i  $\Phi_2$  su na niskom naponskom nivou,  $\Phi_1 = \Phi_2 = 0$ . S obzirom da je brojač resetovan u prvoj fazi, bit najveće težine  $n$ -bitnog brojača se postavlja na nizak naponski nivo,  $Q_{n-1} = 0$ . Na oba ulaza logičkog ILI kola OR<sub>2</sub> su logičke nule, pa je i reset priključak brojača na niskom naponskom nivou,  $Q_{rst} = 0$ . Brojač počinje da broji impulse clock signala  $Q_{clk}$ . S obzirom da je izlazni napon  $Q_{ff1}$  D flip-flopa FF<sub>1</sub> i dalje na niskom logičkom nivou,  $Q_{ff1} = 0$ , izlazni napon  $Q_{and1}$  logičkog I kola je takođe na niskom logičkom nivou,  $Q_{and1} = 0$ , pa je MM i dalje zakočen. Kada bit najveće težine  $n$ -bitnog brojača postane logička jedinica,  $Q_{n-1} = V_{DD}$ , završava se druga faza, i započinje treća faza. Vrijeme trajanja prve faze  $T_1$  dato je sledećom relacijom:

$$T_1 = N_1 T_{clk} = \frac{N_1}{f_{clk}} \quad (141)$$

gdje su  $T_{clk}$  i  $f_{clk}$  perioda i frekvencija clock signala, respektivno, a  $N_1 = 2^{n-1}$ . MM je još uvijek u stabilnom stanju ( $V_{mm} = 0$ ). Sa rastućom ivicom bita najveće težine  $Q_{n-1}$  (koji je ujedno i clock priključak D flip-flopa FF<sub>2</sub>), na izlazu  $Q_{ff2}$  D flip-flopa FF<sub>2</sub> je vrijednost izlaznog napona komparatora,  $Q_{ff2} = V_{comp}$  i  $Q_{ff2inv} = \overline{V_{comp}}$ . U isto vrijeme, sa rastućom ivicom bita najveće težine  $Q_{n-1}$ , setuje se flip-flop FF<sub>1</sub>, i na njegovom izlazu je visok naponski nivo,  $Q_{ff1} = V_{DD}$  ( $Q_{ff1inv} = 0$ ). Dodatno, sa rastućom ivicom bita najveće težine  $Q_{n-1}$ , na reset priključku  $Q_{rst}$  brojača se dovodi visok naponski nivo (preko logičkog ILI kola OR<sub>2</sub>),  $Q_{rst} = V_{DD}$ , i brojač se resetuje. Nakon resetovanja brojača, na njegovom reset priključku  $Q_{rst}$  je nizak naponski nivo,  $Q_{rst} = 0$ , i brojač ponovo kreće da broji impulse clock signala  $Q_{clk}$ , što se poklapa sa početkom treće faze.

S obzirom da je izlazni napon  $Q_{ff1}$  D flip-flopa FF<sub>1</sub> na visokom naponskom nivou,  $Q_{ff1} = V_{DD}$ , bilateralni CMOS prekidači S<sub>6</sub> i S<sub>8</sub> su zatvoreni, dok su bilateralni CMOS prekidači S<sub>7</sub> i S<sub>9</sub> otvoreni. Kao posledica takve konfiguracije prekidača, naponi  $Q_{ff2} = V_{comp}$  i  $Q_{ff2inv} = \overline{V_{comp}}$  se dovode na ulaze logičkih ILI kola OR<sub>3</sub> i OR<sub>4</sub>. Izlazni napon MM-a je i dalje na niskom logičkom nivou,  $V_{mm} = 0$ , pa su kontrolni naponski signali  $\Phi_1$  i  $\Phi_2$  setovani na  $\Phi_1 = Q_{ff2} = V_{comp}$  i  $\Phi_2 = Q_{ff2inv} = \overline{V_{comp}}$ . Dodatno, s obzirom da je izlazni napon  $Q_{ff1}$  D flip-flopa FF<sub>1</sub> na visokom naponskom nivou,  $Q_{ff1} = V_{DD}$ , izlazni napon  $Q_{and1}$  logičkog I kola AND<sub>1</sub> postaje jednak izlaznom naponu  $Q_{x-nor}$  ekskluzivnog NILI kola,  $Q_{and1} = Q_{x-nor}$ . Time se otključava MM. Izlazni napon komparatora  $V_{comp}$  se dovodi detektoru ivice (edge detector) koji se sastoji od invertora INV<sub>1</sub> i ekskluzivnog NILI kola. Svaki put kada se ispuni uslov (137), stanje na komparatoru se mijenja, i detektor ivice generiše impuls  $Q_{x-nor}$  na izlazu ekskluzivnog NILI kola. Trajanje tog impulsa jednako je trajanju kašnjenja invertora INV<sub>1</sub>. S obzirom da je MM otključan u trećoj fazi, sa rastućom ivicom signala  $Q_{and1} = Q_{x-nor}$  započinje kvazi-stabilno stanje MM-a, i na njegovom izlazu je visok naponski nivo,  $V_{mm} = V_{DD}$ . Time se završava treća faza, i ponovo započinje prva faza. Kada detektor ivice generiše kratak impuls  $Q_{x-nor}$  na svom izlazu, binarni zapis  $N_2$  na izlazu brojača proporcionalan je vremenu trajanja treće faze  $T_2$ :

$$T_2 = N_2 T_{clk} = \frac{N_2}{f_{clk}} \quad (142)$$

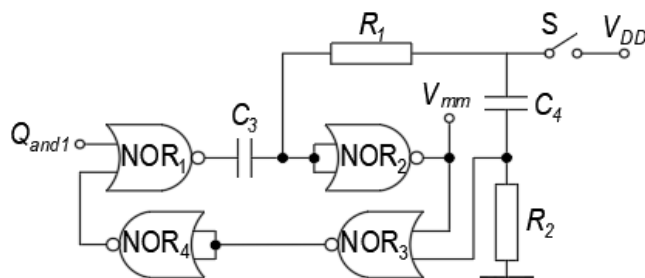
Kombinujući relacije (140, 141 i 142) dobija se sledeći izraz za mjerenu veličinu  $x$ :

$$x = \frac{C_1 - C_2}{C_1 + C_2} = \begin{cases} -\frac{N_2}{N_1}, & C_1 < C_2 \\ \frac{N_2}{N_1}, & C_1 > C_2 \end{cases} \quad (143)$$



## 1.7 MONOSTABILNI MULTIVIBRATOR SA START-UP KOLOM

Električna šema monostabilnog multivibratora sa start-up kolom prikazana je na slici 25. MM sa start-up kolom mora omogućiti ne samo generisanje impulsa za početak kvazi-stabilnog stanja trajanja  $T_{MM}$  MM-a neposredno nakon uključjenja napona napajanja, već i obezbediti normalan rad kola nakon isteka prve periode. MM se sastoji od logičkih NILI kola  $NOR_1$  i  $NOR_2$ , otpornika  $R_1$  i kodenzatora  $C_3$ . Trajanje kvazi-stabilnog stanja MM-a, iznosi  $T_{MM} \approx R_1 C_3 \ln 2$ . Umjesto direktne veze između izlaznog napona MM-a  $V_{mm}$  i drugog ulaza logičkog NILI kola  $NOR_1$  realizuje se start-up kolo koje se sastoji od logičkih NILI kola  $NOR_3$  i  $NOR_4$ , kao i od diferencijatora  $R_2 - C_4$ . Diferencijator služi da generiše kratak impuls odmah nakon uključjenja napona napajanja, zatvaranjem prekidača  $S$ . Ovaj kratki impuls se prenosi na drugi ulaz logičkog NILI kola  $NOR_1$  preko logičkih NILI kola  $NOR_3$  i  $NOR_4$ . Na ovaj način, MM ulazi u kvazi-stabilno stanje odmah nakon uključjenja napona napajanja, što omogućuje početak rada datog diferencijalnog kapacitivnog senzora.



Slika 25. Električna šema monostabilnog multivibratora sa start-up kolom.

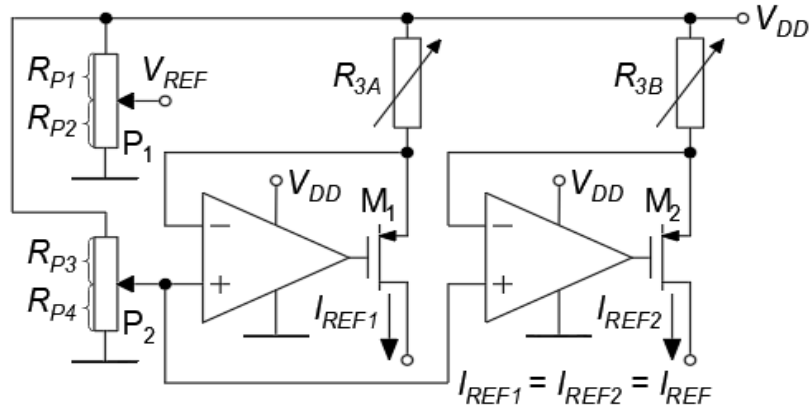
## 1.8 REFERENTNI STRUJNI I NAPONSKI IZVORI

Električna šema referentnog naponskog izvora  $V_{REF}$  i dva referentna strujna izvora  $I_{REF1} = I_{REF2} = I_{REF}$  prikazana je na slici 26. Referentni naponski izvor  $V_{REF}$  se sastoji samo od jednog potenciometra  $P_1$ . Može se izraziti na sledeći način:

$$V_{REF} = \frac{R_{p2}}{R_{p1} + R_{p2}} V_{DD} \quad (144)$$

gdje su  $R_{p1}$  i  $R_{p2}$  gradivni elementi potenciometra  $P_1$ ,  $R_{p1} + R_{p2} = const$ . Referentni strujni izvor  $I_{REF1}$  ( $I_{REF2}$ ) se sastoji od potenciometra  $P_2$ , operacionog pojačavača, MOSFET-a  $M_1$  ( $M_2$ ), i otpornika  $R_{3A}$  ( $R_{3B}$ ). Pod pretpostavkom da su operacioni pojačavači idealni, i ukoliko je ispunjen uslov  $R_{3A} = R_{3B} = R_3$ , DC referentne struje  $I_{REF1}$  i  $I_{REF2}$  su jednake i date relacijom:

$$I_{REF1} = I_{REF2} = I_{REF} = \frac{R_{p3}}{R_{p3} + R_{p4}} \frac{V_{DD}}{R_3} \quad (145)$$



Slika 26. Električna šema referentnog naponskog izvora  $V_{REF}$  i dva referentna strujna izvora  $I_{REF}$ .

## 1.9 ANALIZA PREDLOŽENOG DCS-A UKLJUČUJUĆI PARAZITNE KAPACITIVNOSTI I NESAVRŠENOST UPARIVANJA STRUJNIH IZVORA

Električna šema predloženog DCS-a sa strujnim procesiranjem uključujući i njegove parazitne kapacitivnosti  $C_{1x}$  i  $C_{2x}$  data je na slici 27. U nastavku je prikazana detaljna analiza predloženog DCS-a sa strujnim procesiranjem imajući u vidu i postojanje dvije parazitne kapacitivnosti  $C_{1x}$  i  $C_{2x}$ , na neinvertujućem i invertujućem priključku komparatora, respektivno.

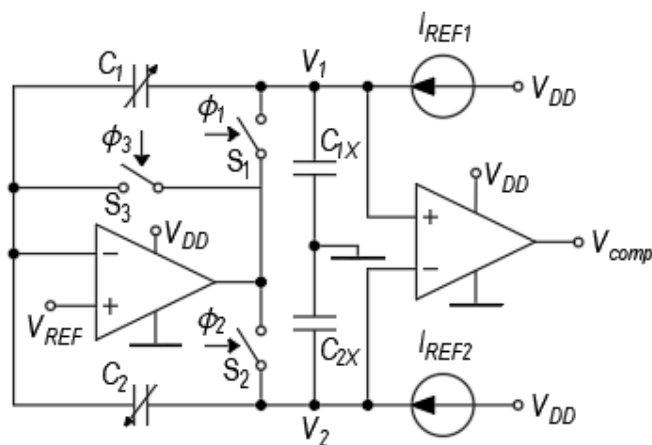
Kao što je već rečeno, u prvoj fazi se svi kontrolni naponi  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$  postavljaju na visok logički nivo,  $\Phi_1 = \Phi_2 = \Phi_3 = V_{DD}$ , što uzrokuje zatvaranje svih bilateralnih CMOS prekidača  $S_1$ ,  $S_2$  i  $S_3$ . Kao posledica takve konfiguracije prekidača, kondenzatori  $C_1$  i  $C_2$  se prazne. Naponi na krajevima kondenzatora  $C_1$  i  $C_2$ ,  $V_{C1}$  i  $V_{C2}$  jednaki su nuli,  $V_{C1}(T_0) = V_{C2}(T_0) = 0$ , dok su naponi na krajevima parazitnih kapacitivnosti  $C_{1x}$  i  $C_{2x}$ ,  $V_{C1x}$  i  $V_{C2x}$  jednaki naponu  $V_{REF}$ ,  $V_{C1x}(T_0) = V_{C2x}(T_0) = V_{REF}$ .

U drugoj fazi, kontrolni naponi  $\Phi_1$  i  $\Phi_2$  su na nivou logičke nule, a kontrolni napon  $\Phi_3$  na nivou logičke jedinice, pa su bilateralni CMOS prekidači  $S_1$  i  $S_2$  otvoreni, a bilateralni CMOS prekidač  $S_3$  je zatvoren. Električna šema takve konfiguracije kola je prikazana na slici 28. Strujni izvor  $I_{REF1}$  jednak je zbiru struje  $i_{c1}$ , koja protiče kroz kondenzator  $C_1$  i struje  $i_{c1x}$ , koja protiče kroz kondenzator parazitne kapacitivnosti  $C_{1x}$ ,  $I_{REF1} = i_{c1} + i_{c1x}$ . Analogno, strujni izvor  $I_{REF2}$  jednak je zbiru struje  $i_{c2}$ , koja protiče kroz kondenzator  $C_2$  i struje  $i_{c2x}$ , koja protiče kroz kondenzator parazitne kapacitivnosti  $C_{2x}$ ,  $I_{REF2} = i_{c2} + i_{c2x}$ .

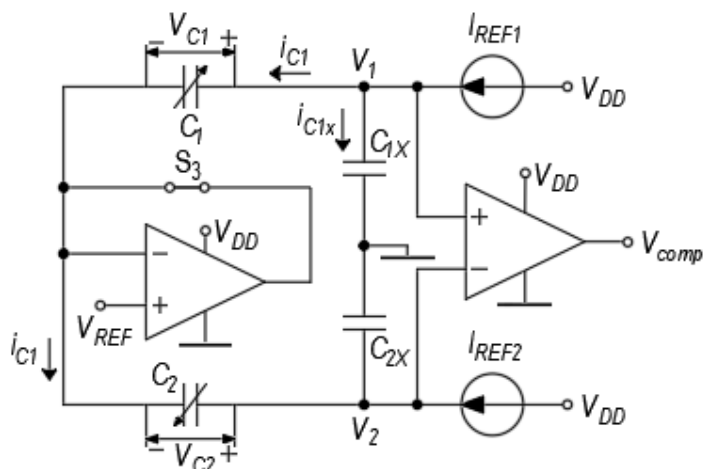
Napon  $V_1$  je dat relacijama:

$$V_1 = V_{REF} + \frac{1}{C_1} \int i_{c1} dt \quad (146)$$

$$V_1 = \frac{1}{C_{1x}} \int i_{c1x} dt = \frac{1}{C_{1x}} \int (I_{REF1} - i_{c1}) dt = \frac{1}{C_{1x}} \int I_{REF1} dt - \frac{1}{C_{1x}} \int i_{c1} dt \quad (147)$$



Slika 27. Predloženi DCS sa strujnim procesiranjem uključujući i parazitne kapacitvnosti i nesavršeno uparene struje referentnih strujnih izvora.



Slika 28. Predloženi DCS sa strujnim procesiranjem uključujući i parazitne kapacitvnosti i nesavršeno uparene struje referentnih strujnih izvora, u drugoj fazi konverzije diferencijalne kapacitvnosti.

Izjednačavanjem relacija (146) i (147) dobija se:

$$V_{REF} + \frac{1}{C_1} \int i_{c1} dt = \frac{1}{C_{1x}} \int I_{REF1} dt - \frac{1}{C_{1x}} \int i_{c1} dt$$

$$\left( \frac{1}{C_1} + \frac{1}{C_{1x}} \right) \int i_{c1} dt = \frac{1}{C_{1x}} \int I_{REF1} dt - V_{REF} \Rightarrow \frac{C_1 + C_{1x}}{C_1 C_{1x}} \int i_{c1} dt = \frac{1}{C_{1x}} \int I_{REF1} dt - V_{REF}$$

$$\int i_{c1} dt = \frac{C_1}{C_1 + C_{1x}} \int I_{REF1} dt - \frac{C_1 C_{1x}}{C_1 + C_{1x}} \quad (148)$$

Kombinovanjem relacija (146) i (148) dalje slijedi:

$$\begin{aligned}
V_1 &= V_{REF} + \frac{1}{C_1} \left( \frac{C_1}{C_1 + C_{1x}} \int I_{REF1} dt - \frac{C_1 C_{1x}}{C_1 + C_{1x}} V_{REF} \right) = \\
&= V_{REF} + \frac{1}{C_1 + C_{1x}} \int I_{REF1} dt - \frac{C_{1x}}{C_1 + C_{1x}} V_{REF} = \frac{C_1}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} t + A
\end{aligned} \tag{149}$$

Konstanta  $A$  se može dobiti iz početnih uslova za napon na krajevima kondenzatora  $C_1, V_{C1}$ :

$$V_{C1}(0-) = 0 \tag{150}$$

$$V_{C1}(0+) = -\frac{C_{1x}}{C_1 + C_{1x}} V_{REF} + A \tag{151}$$

$$A = \frac{C_{1x}}{C_1 + C_{1x}} V_{REF} \tag{152}$$

Konačan izraz za napon  $V_1$  je:

$$V_1 = \frac{C_1}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} t + \frac{C_{1x}}{C_1 + C_{1x}} V_{REF} = V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} t \tag{153}$$

Analogno, napon  $V_2$  se može predstaviti relacijom:

$$V_2 = \frac{C_2}{C_2 + C_{2x}} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} t + \frac{C_{2x}}{C_2 + C_{2x}} V_{REF} = V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} t \tag{154}$$

Na kraju druge faze, izrazi za napone  $V_1, V_2$ , kao i za napone na krajevima kondenzatora  $C_1$  i  $C_2, V_{C1}$  i  $V_{C2}$  su dati sledećim relacijama:

$$V_1(T_1) = V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} T_1 \tag{155}$$

$$V_2(T_1) = V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} T_1 \tag{156}$$

$$V_{C1}(T_1) = V_1(T_1) - V_{REF} = \frac{I_{REF1}}{C_1 + C_{1x}} T_1 \tag{157}$$

$$V_{C2}(T_1) = V_2(T_1) - V_{REF} = \frac{I_{REF2}}{C_2 + C_{2x}} T_1 \tag{158}$$

U trećoj fazi, ukoliko je  $C_1 < C_2$ , tada je  $V_{comp}(T_1) = V_{DD}$ , bilateralni CMOS prekidači se konfiguriraju na već opisan način u poglavlju 3.1. Električna šema takve konfiguracije je prikazana na slici 29. Struja  $I_{REF2}$ , donjeg strujnog izvora jednaka je zbiru struja  $i_{c2}$ , koja protiče kroz kondenzatore  $C_1$  i  $C_2$ , i struje  $i_{c2x}$ , koja protiče kroz kondenzator parazitne kapacitivnosti  $C_{2x}$ ,  $I_{REF2} = i_{c2} + i_{c2x}$ . Napon  $V_2$  je dat sledećim relacijama:

$$V_2 = V_{REF} + \frac{1}{C_2} \int i_{c2} dt \quad (159)$$

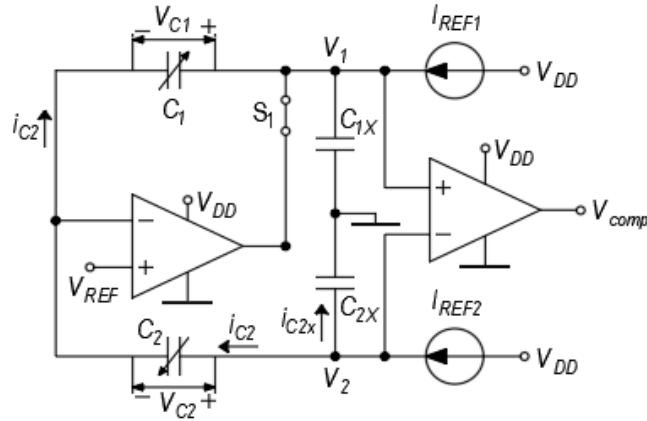
$$V_2 = \frac{1}{C_{2x}} \int i_{c2x} dt = \frac{1}{C_{2x}} \int (I_{REF2} - i_{c2}) dt = \frac{1}{C_{2x}} \int I_{REF2} dt - \frac{1}{C_{2x}} \int i_{c2} dt \quad (160)$$

Mogu se pisati sledeće relacije:

$$\begin{aligned} V_{REF} + \frac{1}{C_2} \int i_{c2} dt &= \frac{1}{C_{2x}} \int I_{REF2} dt - \frac{1}{C_{2x}} \int i_{c2} dt \\ \left( \frac{1}{C_2} + \frac{1}{C_{2x}} \right) \int i_{c2} dt &= \frac{1}{C_{2x}} \int I_{REF2} dt - V_{REF} \Rightarrow \frac{C_2 + C_{2x}}{C_2 C_{2x}} \int i_{c2} dt = \frac{1}{C_{2x}} \int I_{REF2} dt - V_{REF} \\ \int i_{c2} dt &= \frac{C_2}{C_2 + C_{2x}} \int I_{REF2} dt - \frac{C_2 C_{2x}}{C_2 + C_{2x}} V_{REF} \end{aligned} \quad (161)$$

Kombinujući relacije (159) i (161) dobija se izraz za napon  $V_2$ :

$$\begin{aligned} V_2 &= V_{REF} + \frac{1}{C_2} \left( \frac{C_2}{C_2 + C_{2x}} \int I_{REF2} dt - \frac{C_2 C_{2x}}{C_2 + C_{2x}} V_{REF} \right) = \\ &= V_{REF} + \frac{1}{C_2 + C_{2x}} \int I_{REF2} dt - \frac{C_{2x}}{C_2 + C_{2x}} V_{REF} = \frac{C_2}{C_2 + C_{2x}} V_{REF} + \frac{1}{C_2 + C_{2x}} \int I_{REF2} dt = \\ &= \frac{C_2}{C_2 + C_{2x}} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} t + A \end{aligned} \quad (162)$$



Slika 29. Predloženi DCS sa strujnim procesiranjem uključujući parazitne kapacitivnosti i nesavršeno uparene struje referentnih strujnih izvora, u trećoj fazi konverzije diferencijalne kapacitivnosti,  $C_1 < C_2$

Napon  $V_{C2}$ , na krajevima kondenzatora  $C_2$  jednak je:

$$\begin{aligned}
 V_{C2} &= V_2 - V_{REF} = \frac{C_2}{C_2 + C_{2x}} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} t + A - V_{REF} = \\
 &= -\frac{C_{2x}}{C_2 + C_{2x}} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} t + A
 \end{aligned} \tag{163}$$

Konstanta  $A$  se može dobiti iz početnih uslova napona na krajevima kondenzatora  $C_2$ ,  $V_{C2}$ :

$$V_{C2}(0^-) = \frac{I_{REF2}}{C_2 + C_{2x}} T_1 \quad ; \quad V_{C2}(0^+) = -\frac{C_{2x}}{C_2 + C_{2x}} V_{REF} + A \tag{164}$$

$$A = \frac{C_{2x}}{C_2 + C_{2x}} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} T_1 \tag{165}$$

Konačno, napon  $V_2$  se može izraziti na sledeći način:

$$\begin{aligned}
 V_2 &= \frac{C_2}{C_2 + C_{2x}} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} t + \frac{C_{2x}}{C_2 + C_{2x}} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} T_1 = \\
 &= V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} (t + T_1)
 \end{aligned} \tag{166}$$

Za napon  $V_1$  mogu se pisati sledeće relacije

$$V_1 = V_{REF} - \frac{1}{C_1} \int i_{c2} dt = V_{REF} - \frac{1}{C_1} \left( \frac{C_2}{C_2 + C_{2x}} \int I_{REF2} dt - \frac{C_2 C_{2x}}{C_2 + C_{2x}} V_{REF} \right) =$$

$$\begin{aligned}
&= V_{REF} - \frac{1}{C_1} \frac{C_2}{C_2 + C_{2x}} \int I_{REF2} dt + \frac{1}{C_1} \frac{C_2 C_{2x}}{C_2 + C_{2x}} V_{REF} = \\
&= \left( 1 + \frac{1}{C_1} \frac{C_2 C_{2x}}{C_2 + C_{2x}} \right) V_{REF} - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t + A = \\
&= \frac{C_1 C_2 + (C_1 + C_2) C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t + A \tag{167}
\end{aligned}$$

Napon  $V_{C1}$ , na krajevima kondenzatora  $C_1$  jednak je:

$$\begin{aligned}
V_{C1} &= V_1 - V_{REF} = \frac{C_1 C_2 + (C_1 + C_2) C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} - V_{REF} - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t + A = \\
&= \frac{C_1 C_2 + C_1 C_{2x} + C_2 C_{2x} - C_1 C_2 - C_1 C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t + A = \\
&= \frac{C_2 C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t + A \tag{168}
\end{aligned}$$

Konstanta  $A$  se dobija iz sledećih uslova:

$$V_{C1}(0-) = \frac{I_{REF1}}{C_1 + C_{1x}} T_1 \quad ; \quad V_{C1}(0+) = \frac{C_2 C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} + A \tag{169}$$

$$A + \frac{C_2 C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} = \frac{I_{REF1}}{C_1 + C_{1x}} T_1$$

$$A = \frac{I_{REF1}}{C_1 + C_{1x}} T_1 - \frac{C_2 C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} \tag{170}$$

Konačno, napon  $V_1$  jednak je:

$$\begin{aligned}
V_1 &= \frac{C_1 C_2 + (C_1 + C_2) C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t + \frac{I_{REF1}}{C_1 + C_{1x}} T_1 - \frac{C_2 C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} = \\
&= \frac{C_1 C_2 + C_1 C_{2x} + C_2 C_{2x} - C_2 C_{2x}}{C_1 (C_2 + C_{2x})} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} T_1 - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t = \\
&= V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} T_1 - \frac{C_2 I_{REF2}}{C_1 (C_2 + C_{2x})} t \tag{171}
\end{aligned}$$

Ukoliko do izjednačavanja napona  $V_1$  i  $V_2$  dolazi u trenutku  $T_2$ ,  $V_1(T_2) = V_2(T_2)$ , koristeći (166) i (171) važe sledeće relacije:

$$V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} T_1 - \frac{C_2 I_{REF2}}{C_1(C_2 + C_{2x})} T_2 = V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} (T_1 + T_2) \quad (172)$$

$$\left( \frac{I_{REF1}}{C_1 + C_{1x}} - \frac{I_{REF2}}{C_2 + C_{2x}} \right) T_1 = \frac{I_{REF2}}{C_2 + C_{2x}} \left( 1 + \frac{C_2}{C_1} \right) T_2 \quad (173)$$

$$\frac{(C_2 + C_{2x}) I_{REF1} - (C_1 + C_{1x}) I_{REF2}}{(C_1 + C_{1x})(C_2 + C_{2x})} T_1 = \frac{I_{REF2}}{C_2 + C_{2x}} \frac{C_1 + C_2}{C_1} T_2 \quad (174)$$

Uzimajući u obzir nesavršenost uparivanja strujnih izvora  $I_{REF1}$  i  $I_{REF2}$ , mogu se pisati sledeće relacije:

$$\Delta I = I_{REF1} - I_{REF2} \quad ; \quad I = \frac{1}{2} (I_{REF1} + I_{REF2}) \quad (175)$$

$$I_{REF1} = I + \frac{1}{2} \Delta I \quad ; \quad I_{REF2} = I - \frac{1}{2} \Delta I \quad (176)$$

Uvrštavanjem (176) u (174) dobija se:

$$\frac{(C_2 + C_{2x}) \left( I + \frac{1}{2} \Delta I \right) - (C_1 + C_{1x}) \left( I - \frac{1}{2} \Delta I \right)}{C_1 + C_{1x}} T_1 = \frac{C_1 + C_2}{C_1} \left( I - \frac{1}{2} \Delta I \right) T_2$$

$$\frac{(C_2 + C_{2x} - C_1 - C_{1x}) I + \frac{1}{2} (C_2 + C_{2x} + C_1 + C_{1x}) \Delta I}{C_1 + C_{1x}} T_1 = \frac{C_1 + C_2}{C_1} I T_2 - \frac{1}{2} \frac{C_1 + C_2}{C_1} \Delta I T_2$$

$$T_1 \frac{C_2 - C_1 + C_{2x} - C_{1x}}{C_1 + C_{1x}} I + \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_{1x}} \Delta I T_1 = \frac{C_1 + C_2}{C_1} I T_2 - \frac{1}{2} \frac{C_1 + C_2}{C_1} \Delta I T_2$$

$$\frac{C_2 - C_1 + C_{2x} - C_{1x}}{C_1 + C_{1x}} I T_1 = \frac{C_1 + C_2}{C_1} I T_2 - \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_{1x}} \Delta I T_1 - \frac{1}{2} \frac{C_1 + C_2}{C_1} \Delta I T_2$$

$$\frac{C_2 - C_1 + C_{2x} - C_{1x}}{(C_1 + C_2)(C_1 + C_{1x})} I T_1 = \frac{I}{C_1} T_2 - \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{(C_1 + C_2)(C_1 + C_{1x})} \Delta I T_1 - \frac{\Delta I}{2 C_1} T_2$$

$$\frac{C_2 - C_1 + C_{2x} - C_{1x}}{C_1 + C_2} I T_1 = \frac{C_1 + C_{1x}}{C_1} I T_2 - \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_2} \Delta I T_1 - \frac{1}{2} \frac{C_1 + C_{1x}}{C_1} \Delta I T_2$$



$$\frac{C_2 - C_1 + C_{2x} - C_{1x}}{C_1 + C_2} = \frac{C_1 + C_{1x}}{C_1} \frac{T_2}{T_1} - \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_2} \frac{\Delta I}{I} - \frac{1}{2} \frac{C_1 + C_{1x}}{C_1} \frac{\Delta I}{I} \frac{T_2}{T_1}$$

$$\frac{C_2 - C_1 + C_{2x} - C_{1x}}{C_1 + C_2} = \left(1 - \frac{1}{2} \frac{\Delta I}{I}\right) \frac{C_1 + C_{1x}}{C_1} \frac{T_2}{T_1} - \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_2} \frac{\Delta I}{I} \quad (177)$$

Sređujući relaciju (179), dobija se sledeći izraz:

$$\frac{C_2 - C_1}{C_1 + C_2} = \frac{C_{1x} - C_{2x}}{C_1 + C_2} + \left(1 - \frac{1}{2} \frac{\Delta I}{I}\right) \left(1 + \frac{C_{1x}}{C_1}\right) \frac{T_2}{T_1} - \frac{1}{2} \left(1 + \frac{C_{1x} + C_{2x}}{C_1 + C_2}\right) \frac{\Delta I}{I} \quad (178)$$

Konačno, dobija se izraz za mjerenu veličinu  $x$ :

$$x = \frac{C_1 - C_2}{C_1 + C_2} = \frac{C_{2x} - C_{1x}}{C_1 + C_2} - \left(1 - \frac{1}{2} \frac{\Delta I}{I}\right) \left(1 + \frac{C_{1x}}{C_1}\right) \frac{T_2}{T_1} + \frac{1}{2} \left(1 + \frac{C_{1x} + C_{2x}}{C_1 + C_2}\right) \frac{\Delta I}{I} \quad (179)$$

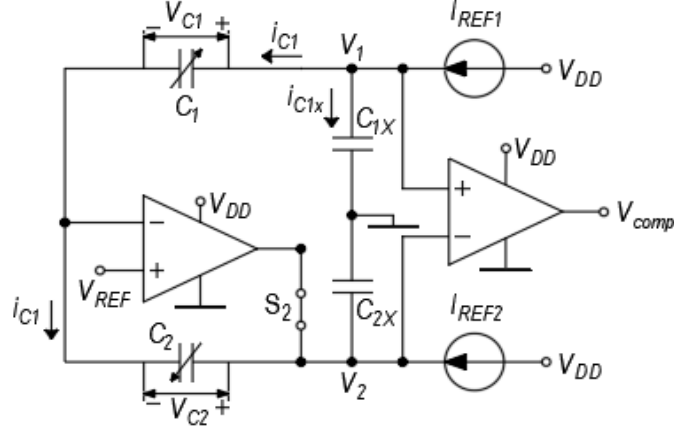
Ukoliko je u trećoj fazi  $C_1 > C_2$ , tada je  $V_{comp}(T_1) = 0$ , bilateralni CMOS prekidači se konfiguriraju na već opisan način u poglavlju 3.1. Električna šema takve konfiguracije je prikazana na slici 30. Struja  $I_1$ , gornjeg strujnog izvora jednaka je zbiru struja  $i_{c1}$ , koja protiče kroz kondenzatore  $C_1$  i  $C_2$ , i struje  $i_{c1x}$ , koja protiče kroz kondenzator parazitne kapacitivnosti  $C_{1x}$ ,  $I_1 = i_{c1} + i_{c1x}$ . Napon  $V_1$  je dat sledećim relacijama:

$$V_1 = V_{REF} + \frac{1}{C_1} \int i_{c1} dt \quad (180)$$

$$V_1 = \frac{1}{C_{1x}} \int i_{c1x} dt = \frac{1}{C_{1x}} \int (I_{REF1} - i_{c1}) dt = \frac{1}{C_{1x}} \int I_{REF1} dt - \frac{1}{C_{1x}} \int i_{c1} dt \quad (181)$$

Mogu se pisati sledeće relacije:

$$V_{REF} + \frac{1}{C_1} \int i_{c1} dt = \frac{1}{C_{1x}} \int I_{REF1} dt - \frac{1}{C_{1x}} \int i_{c1} dt$$



Slika 30. Predloženi DCS sa strujnim procesiranjem uključujući parazitne kapacitivnosti i nesavršeno uparene struje referentnih strujnih izvora, u trećoj fazi konverzije diferencijalne kapacitivnosti,  $C_1 > C_2$

$$\left( \frac{1}{C_1} + \frac{1}{C_{1x}} \right) \int i_{c1} dt = \frac{1}{C_{1x}} \int I_{REF1} dt - V_{REF} \Rightarrow \frac{C_1 + C_{1x}}{C_1 C_{1x}} \int i_{c1} dt = \frac{1}{C_{1x}} \int I_{REF1} dt - V_{REF}$$

$$\int i_{c1} dt = \frac{C_1}{C_1 + C_{1x}} \int I_{REF1} dt - \frac{C_1 C_{1x}}{C_1 + C_{1x}} V_{REF} \quad (182)$$

Kombinujući relacije (180) i (182) dobija se izraz za napon  $V_1$ :

$$\begin{aligned} V_1 &= V_{REF} + \frac{1}{C_1} \left( \frac{C_1}{C_1 + C_{1x}} \int I_{REF1} dt - \frac{C_1 C_{1x}}{C_1 + C_{1x}} V_{REF} \right) = \\ &= V_{REF} + \frac{1}{C_1 + C_{1x}} \int I_{REF1} dt - \frac{C_{1x}}{C_1 + C_{1x}} V_{REF} = \frac{C_1}{C_1 + C_{1x}} V_{REF} + \frac{1}{C_1 + C_{1x}} \int I_{REF1} dt = \\ &= \frac{C_1}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} t + A \end{aligned} \quad (183)$$

Napon  $V_{C1}$ , na krajevima kondenzatora  $C_1$  jednak je:

$$\begin{aligned} V_{C1} &= V_1 - V_{REF} = \frac{C_1}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} t + A - V_{REF} = \\ &= -\frac{C_{1x}}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} t + A \end{aligned} \quad (184)$$

Konstanta  $A$  se može dobiti iz početnih uslova napona na krajevima kondenzatora  $C_1$ ,  $V_{C1}$ :

$$V_{C1}(0-) = \frac{I_{REF1}}{C_1 + C_{1x}} T_1 \quad ; \quad V_{C1}(0+) = -\frac{C_{1x}}{C_1 + C_{1x}} V_{REF} + A \quad (185)$$

$$A = \frac{C_{1x}}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} T_1 \quad (186)$$

Konačno, napon  $V_1$  se može izraziti na sledeći način:

$$\begin{aligned} V_1 &= \frac{C_1}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} t + \frac{C_{1x}}{C_1 + C_{1x}} V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} T_1 = \\ &= V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} (t + T_1) \end{aligned} \quad (187)$$

Za napon  $V_2$  mogu se pisati sledeće relacije

$$\begin{aligned} V_2 &= V_{REF} - \frac{1}{C_2} \int i_{c1} dt = V_{REF} - \frac{1}{C_2} \left( \frac{C_1}{C_1 + C_{1x}} \int I_{REF1} dt - \frac{C_1 C_{1x}}{C_1 + C_{1x}} V_{REF} \right) = \\ &= V_{REF} + \frac{C_1 C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} - \frac{C_1}{C_2 (C_1 + C_{1x})} \int I_{REF1} dt = \\ &= \left( 1 + \frac{1}{C_2} \frac{C_1 C_{1x}}{C_1 + C_{1x}} \right) V_{REF} - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} t + A = \\ &= \frac{C_1 C_2 + (C_1 + C_2) C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} t + A \end{aligned} \quad (188)$$

Napon  $V_{C2}$ , na krajevima kondenzatora  $C_2$  jednak je:

$$\begin{aligned} V_{C2} &= V_2 - V_{REF} = \frac{C_1 C_2 + (C_1 + C_2) C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} - V_{REF} - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} t + A = \\ &= \frac{C_1 C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} t + A \end{aligned} \quad (189)$$

Konstanta  $A$  se dobija iz sledećih uslova:

$$V_{C2}(0-) = \frac{I_{REF2}}{C_2 + C_{2x}} T_1 \quad ; \quad V_{C2}(0+) = \frac{C_1 C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} + A \quad (190)$$

$$A + \frac{C_1 C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} = \frac{I_{REF2}}{C_2 + C_{2x}} T_1$$

$$A = \frac{I_{REF2}}{C_2 + C_{2x}} T_1 - \frac{C_1 C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} \quad (191)$$

Konačno, napon  $V_2$  jednak je:

$$V_2 = \frac{C_1 C_2 + (C_1 + C_2) C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} t + \frac{I_{REF2}}{C_2 + C_{2x}} T_1 - \frac{C_1 C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} =$$

$$= \frac{C_1 C_2 + C_1 C_{1x} + C_2 C_{1x} - C_1 C_{1x}}{C_2 (C_1 + C_{1x})} V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} T_1 - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} t =$$

$$= V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} T_1 - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} t \quad (192)$$

Ukoliko do izjednačavanja napona  $V_1$  i  $V_2$  dolazi u trenutku  $T_2$ ,  $V_1(T_2) = V_2(T_2)$ , koristeći (187) i (192) važe sledeće relacije:

$$V_{REF} + \frac{I_{REF2}}{C_2 + C_{2x}} T_1 - \frac{C_1 I_{REF1}}{C_2 (C_1 + C_{1x})} T_2 = V_{REF} + \frac{I_{REF1}}{C_1 + C_{1x}} (T_1 + T_2) \quad (193)$$

$$\left( -\frac{I_{REF1}}{C_1 + C_{1x}} + \frac{I_{REF2}}{C_2 + C_{2x}} \right) T_1 = \frac{I_{REF1}}{C_1 + C_{1x}} \left( 1 + \frac{C_1}{C_2} \right) T_2 \quad (194)$$

$$\frac{(C_1 + C_{1x}) I_{REF2} - (C_2 + C_{2x}) I_{REF1}}{(C_1 + C_{1x})(C_2 + C_{2x})} T_1 = \frac{I_{REF1}}{C_1 + C_{1x}} \frac{C_1 + C_2}{C_2} T_2 \quad (195)$$

Uzimajući u obzir nesavršenost uparivanja strujnih izvora  $I_{REF1}$  i  $I_{REF2}$ , važe relacije (175) i (176).

Uvrštavanjem (175) i (176) u (195) dobija se:

$$\frac{(C_1 + C_{1x}) \left( I - \frac{1}{2} \Delta I \right) - (C_2 + C_{2x}) \left( I + \frac{1}{2} \Delta I \right)}{C_2 + C_{2x}} T_1 = \frac{C_1 + C_2}{C_2} \left( I + \frac{1}{2} \Delta I \right) T_2$$

$$\frac{(C_1 + C_{1x} - C_2 - C_{2x}) I - \frac{1}{2} (C_1 + C_{1x} + C_2 + C_{2x}) \Delta I}{C_2 + C_{2x}} T_1 = \frac{C_1 + C_2}{C_2} I T_2 - \frac{1}{2} \frac{C_1 + C_2}{C_2} \Delta I T_2$$

$$\frac{C_1 - C_2 + C_{1x} - C_{2x}}{C_2 + C_{2x}} I T_1 = \frac{C_1 + C_2}{C_2} I T_2 + \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_2 + C_{2x}} \Delta I T_1 + \frac{1}{2} \frac{C_1 + C_2}{C_2} \Delta I T_2$$

$$\begin{aligned}
\frac{C_1 - C_2 + C_{1x} - C_{2x}}{(C_1 + C_2)(C_2 + C_{2x})} IT_1 &= \frac{I}{C_2} T_2 + \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{(C_1 + C_2)(C_2 + C_{2x})} \Delta T_1 + \frac{\Delta I}{2C_2} T_2 \\
\frac{C_1 - C_2 + C_{1x} - C_{2x}}{C_1 + C_2} IT_1 &= \frac{C_2 + C_{2x}}{C_2} IT_2 - \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_2} \Delta T_1 + \frac{1}{2} \frac{C_2 + C_{2x}}{C_2} \Delta T_2 \\
\frac{C_1 - C_2 + C_{1x} - C_{2x}}{C_1 + C_2} &= \frac{C_2 + C_{2x}}{C_2} \frac{T_2}{T_1} + \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_2} \frac{\Delta I}{I} + \frac{1}{2} \frac{C_2 + C_{2x}}{C_2} \frac{\Delta I}{I} \frac{T_2}{T_1} \\
\frac{C_1 - C_2 + C_{1x} - C_{2x}}{C_1 + C_2} &= \left(1 + \frac{1}{2} \frac{\Delta I}{I}\right) \frac{C_2 + C_{2x}}{C_2} \frac{T_2}{T_1} + \frac{1}{2} \frac{C_1 + C_2 + C_{1x} + C_{2x}}{C_1 + C_2} \frac{\Delta I}{I}
\end{aligned} \tag{196}$$

Konačno, sređujući relaciju (202), dobija se izraz za mjerenu veličinu  $x$ :

$$\frac{C_1 - C_2}{C_1 + C_2} = \frac{C_{2x} - C_{1x}}{C_1 + C_2} + \left(1 + \frac{1}{2} \frac{\Delta I}{I}\right) \left(1 + \frac{C_{2x}}{C_2}\right) \frac{T_2}{T_1} + \frac{1}{2} \left(1 + \frac{C_{1x} + C_{2x}}{C_1 + C_2}\right) \frac{\Delta I}{I} \tag{197}$$

Dakle, uzimajući u obzir parazitne kapacitivnosti  $C_{1x}$  i  $C_{2x}$  na neinvertujućem i invertujućem kraju komparatora, kao i nesavršenosti uparivanja strujnih izvora  $I_{REF1}$  i  $I_{REF2}$ , mjerena veličina  $x$  se može izraziti na sledeći način:

$$x = \frac{C_1 - C_2}{C_1 + C_2} = \begin{cases} \frac{C_{2x} - C_{1x}}{C_1 + C_2} - \left(1 - \frac{1}{2} \frac{\Delta I}{I}\right) \left(1 + \frac{C_{1x}}{C_1}\right) \frac{T_2}{T_1} + \frac{1}{2} \left(1 + \frac{C_{1x} + C_{2x}}{C_1 + C_2}\right) \frac{\Delta I}{I}, & C_1 < C_2 \\ \frac{C_{2x} - C_{1x}}{C_1 + C_2} + \left(1 + \frac{1}{2} \frac{\Delta I}{I}\right) \left(1 + \frac{C_{2x}}{C_2}\right) \frac{T_2}{T_1} + \frac{1}{2} \left(1 + \frac{C_{1x} + C_{2x}}{C_1 + C_2}\right) \frac{\Delta I}{I}, & C_1 > C_2 \end{cases} \tag{198}$$

# **Measurement set-up za mjerenje performansi diferencijalnog kapacitivnog senzora sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval**

---

Predloženo rješenje diferencijalnog kapacitivnog senzora je eksperimentalno valorizovano mjerenjem performansi na prototipu realizovanom u diskretnoj tehnici. Prototip će biti napravljen korišćenjem diskretnih aktivnih i pasivnih elektronskih komponenti zalemljenih na razvojnu štampanu ploču, i povezanih odgovarajućim metalizacijama i jump-erima.

Korišćene su sledeće aktivne elektronske komponente:

- naponski stabilizator LT1021-10 za generisanje temperaturno stabilisanog napona od  $V_{TS} = 10 \text{ V}$ ,
- rail-to-rail operacioni pojačavač MCP6021E/P, koristi se za realizaciju interfejsnog kola koje omogućava održavanje virtuelnog referentnog napona  $V_{ref}$  na zajedničkom priključku diferencijalnog kapacitivnog senzora. Koristi se i za realizaciju dva strujna izvora sa jednakim referentnim strujama  $I_{refs}$
- P-kanalni MOSFET ALD1107, koji služi za generisanje dva strujna izvora sa jednakim referentnim strujama  $I_{refs}$
- Naponski komparator TLC352IP,
- Digitalni brojač TC4040BP, koji služi za generisanje fiksnih vremenskih intervala  $T_0$  i  $T_1$ , kao i za mjerenje vremenskog intervala  $T_2$ ,
- D flip-flop-ovi HEF4013BP,
- Logička I kola MC14081BCP,
- Logička ILI kola CD4071BE,
- Logička NILI kola CD4001BE,
- Logička ekskluzivna NILI kola HCF4077BE,
- Invertori CD4069UBE,
- Bilateralni CMOS prekidači iz integrisanog kola MAX4614CPD.

Korišćene su sledeće pasivne elektronske komponente:

- Metal-filmski otpornici  $R_{3A} = R_{3B} = 100\text{k}\Omega$ ,  $R_1 = R_2 = 10\text{k}\Omega$ ,
- Kondenzatori  $C_3 = 4.7\text{nF}$  i  $C_4 = 22\text{nF}$  u sklopu MM-a sa start-up kolom.

Korišćena je sledeća mjerna instrumentacija:

- Stabilisani izvor za napajanje TENMA T2-13310,
- Generator proizvoljnih talasnih oblika RIGOL DG4102 (2 kanala, 100 MHz, 500 MS/s),
- Digitalni multimetar MASTECH MS8218,
- Osciloskop Teledyne LeCroy WaveJet Touch 334 (4 kanala, 350 MHz, 2 GS/s),
- LCR metar Keysight U1773C za mjerenje kapacitivnosti  $C_1$  i  $C_2$  u sklopu diferencijalnog kapacitivnog senzora.

U sklopu prototipa diferencijalnog kapacitivnog senzora realizovanog u diskretnoj tehnici su korišćeni polipropilenski kondenzatori FKP2O100331D00HF00 i FKP2O100471D00HO00, nominalnih vrijednosti 33 pF i 47 pF, respektivno. Kapacitivnosti  $C_1$  i  $C_2$  će se mijenjati u koracima od po 33 pF, u nominalnim opsezima kapacitivnosti  $188 \text{ pF} < C_1 < 782 \text{ pF}$ ,  $188 \text{ pF} < C_2 < 782 \text{ pF}$ , ali tako da uvijek bude obezbjeđeno:  $C_1 + C_2 = 970 \text{ pF}$ . Početna vrijednost kapacitivnosti  $C_1$ ,  $C_2$  je realizovana kao paralelna veza četiri kondenzatora nominalnih vrijednosti od po 47 pF. Ostale vrijednosti kapacitivnosti  $C_1$  i  $C_2$  se mijenjaju dodavanjem u paralelnu vezu (izdvajanjem iz paralelne veze) kondenzatora nominalne kapacitivnosti 33 pF.

## **Rezultati mjerenja i uporedna analiza**

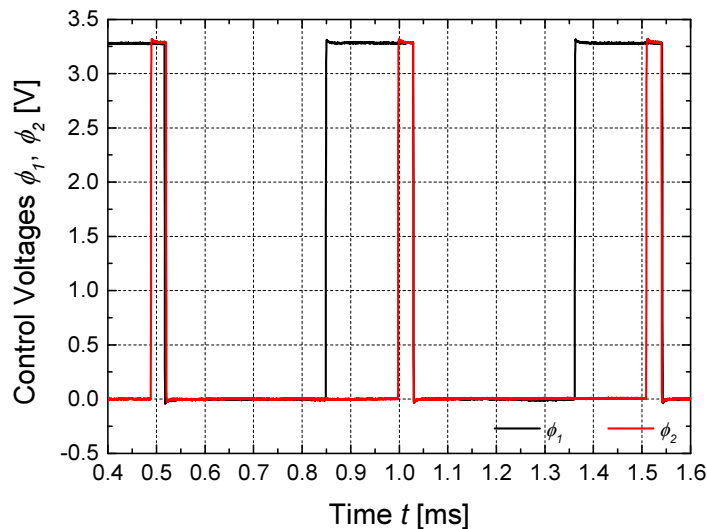
---

U ovom poglavlju su prikazani rezultati mjerenja u vremenskom domenu prototipa realizovanog u diskretnoj tehnici, koji su izmjereni pomoću osciloskopa Teledyne LeCroy WaveJet

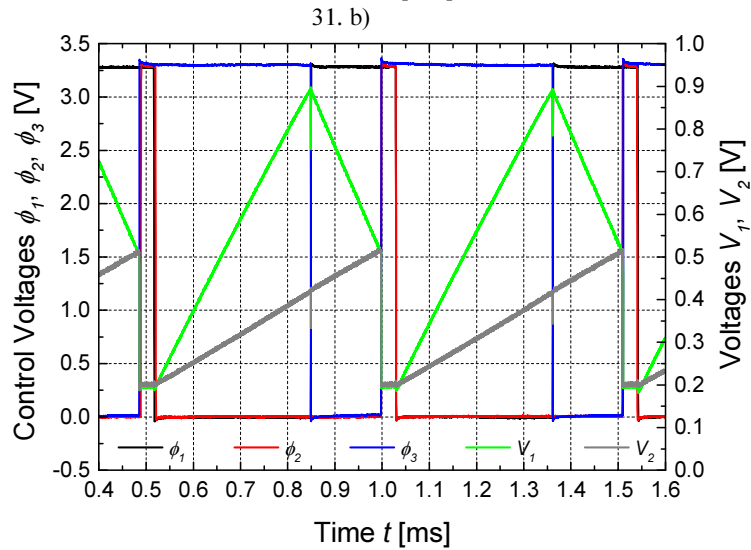
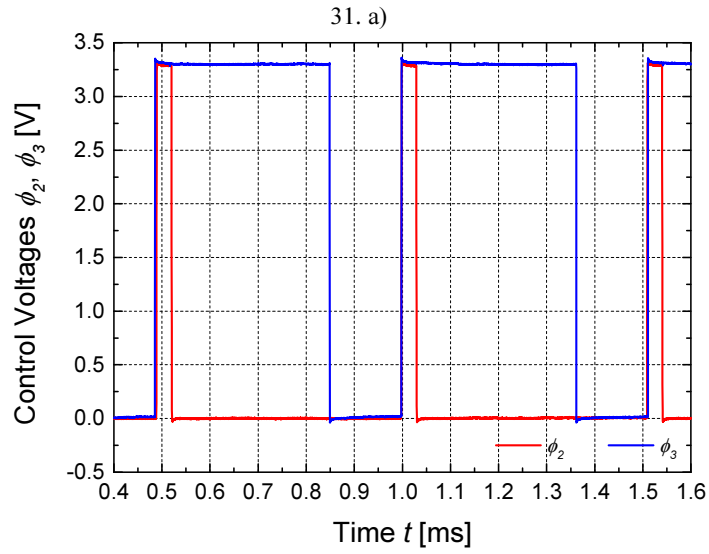
Touch 334. Takođe, prikazana je i uporedna analiza predloženog DCS-a sa strujnim procesiranjem sa najboljim rješenjima iz domena konverzije diferencijalne kapacitivnosti u vrijeme/frekvenciju i digitalni ekvivalent.

Maksimalna frekvencija  $f_{clkmax}$  clock signala  $Q_{clk}$ , koji služi za taktovanje brojača je limitirana naponom napajanja  $V_{DD}$ . Eksperimentalno je utvrđeno da je maksimalna frekvencija  $f_{clkmax}$  clock signala  $Q_{clk}$  za taktovanje brojača jednaka  $f_{clkmax} \approx 3.2\text{MHz}$  za napon napajanja  $V_{DD} = 2.7\text{V}$ , i  $f_{clkmax} \approx 6.5\text{MHz}$  za napon napajanja  $V_{DD} = 3.3\text{V}$ . Da bi se postigla dovoljno velika frekvencija  $f_{clk}$  clock signala  $Q_{clk}$ , tj. dovoljno velika rezolucija binarnog broja  $N_2$  na izlazu brojača, koji je proporcionalan trajanju druge faze  $T_2$ , izabran je napon napajanja  $V_{DD} = 3.3\text{V}$ . Trajanje kvazistabilnog stanja monostabilnog multivibratora iznosi  $T_{MM} \approx 32.6\mu\text{s} = \text{const}$ . Trajanje prve faze iznosi  $T_1 = 330.32\mu\text{s} = \text{const}$ . Diferencijalna kapacitivnost iz relacije (4) je u domenu  $|(C_1 - C_2) / (C_1 + C_2)| < 0.612$ . Kako varijabilni vremenski interval  $T_2$  ne može biti veći od  $0.61 * T_1 = 202.2\mu\text{s}$ , a minimalno iznosi  $T_{2min} = 0$  (kada je  $C_1 = C_2$ ), ukupno trajanje jednog ciklusa konverzije diferencijalne kapacitivnosti u digitalni ekvivalent je u granicama od  $(T_0 + T_1 + T_2)_{min} = 362.9\mu\text{s}$  do  $(T_0 + T_1 + T_2)_{max} = 565\mu\text{s}$ . Dakle, predloženi DCS sa strujnim procesiranjem može da obavi 1770 do 2755 konverzija diferencijalne kapacitivnosti u digitalizovani vremenski interval u jednoj sekundi, u zavisnosti od vrijednosti kapacitivnosti  $C_1$  i  $C_2$ .

Na slikama 31, 32, 33, 34 i 35. su prikazani kontrolni naponi  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$ , kao i naponi  $V_1$  i  $V_2$  na krajevima kondenzatora  $C_1$  i  $C_2$ , respektivno, za različite vrijednosti kondenzatora  $C_1$  i  $C_2$ .

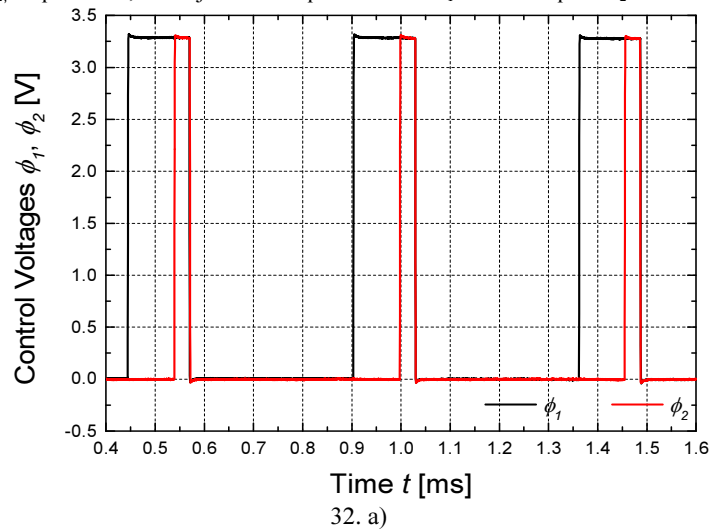


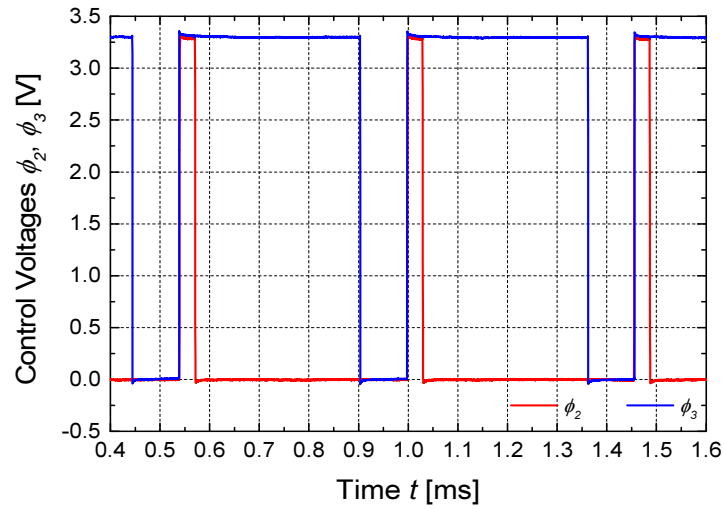




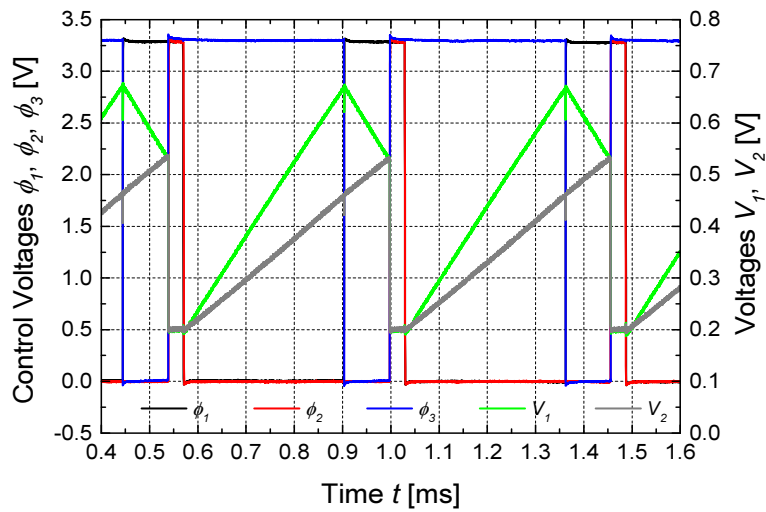
31. c)

Slika 31. Izmjereni vremenski odzivi kontrolnih napona  $\Phi_1$ ,  $\Phi_2$  i  $\Phi_3$ , kao i napona  $V_1$  i  $V_2$  na krajevima kondenzatora  $C_1$  i  $C_2$  respektivno, za vrijednosti kapacitivnosti  $C_1 = 191.03$  pF i  $C_2 = 788.2$  pF.



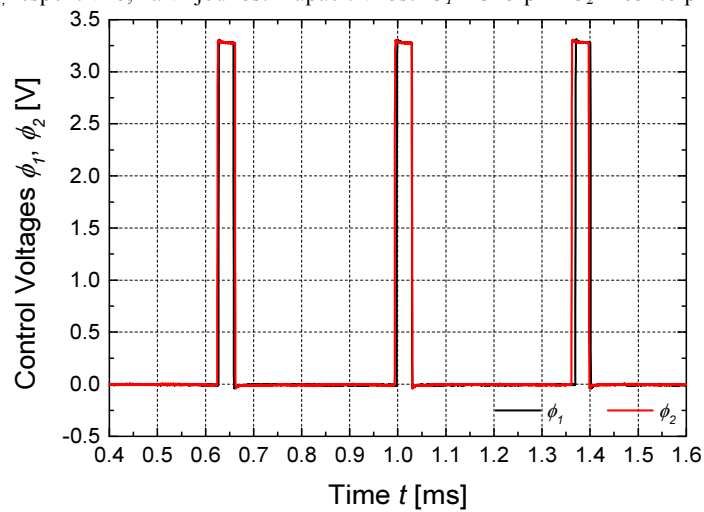


32. b)

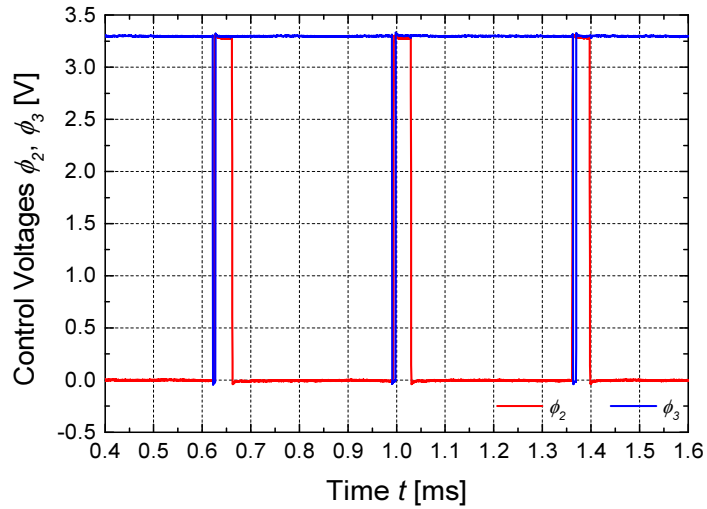


32. c)

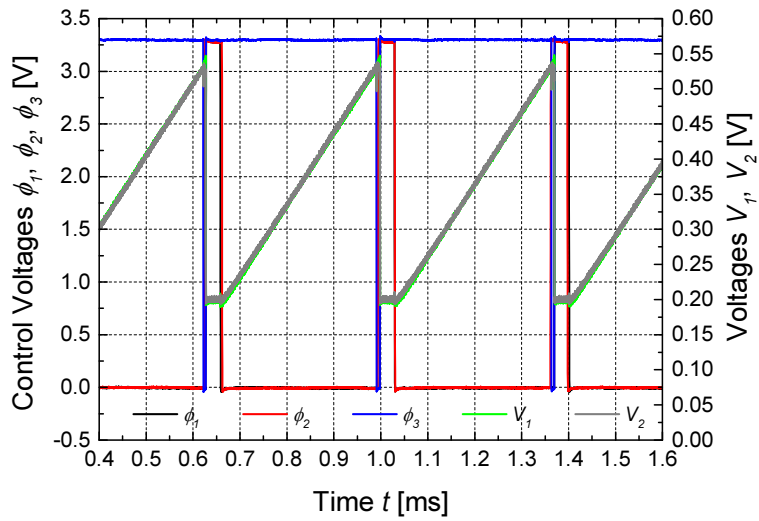
Slika 32. Izmjereni vremenski odzivi kontrolnih napona  $\phi_1$ ,  $\phi_2$  i  $\phi_3$ , kao i napona  $V_1$  i  $V_2$  na krajevima kondenzatora  $C_1$  i  $C_2$  respektivno, za vrijednosti kapacitivnosti  $C_1 = 325$  pF i  $C_2 = 654.6$  pF.



33. a)

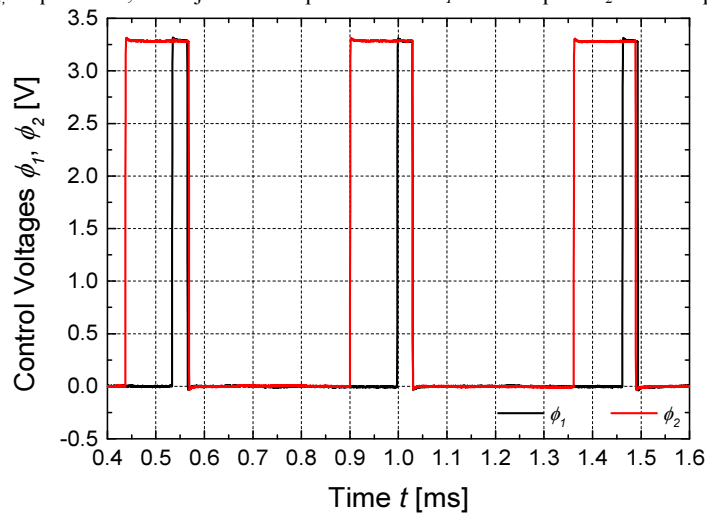


33. b)

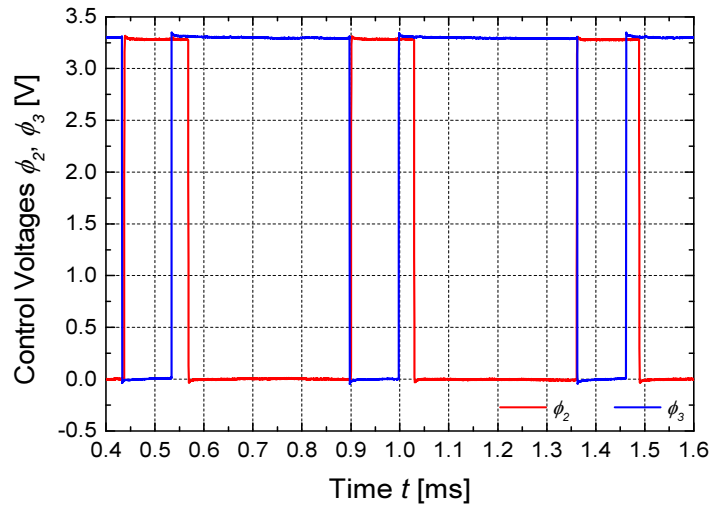


33. c)

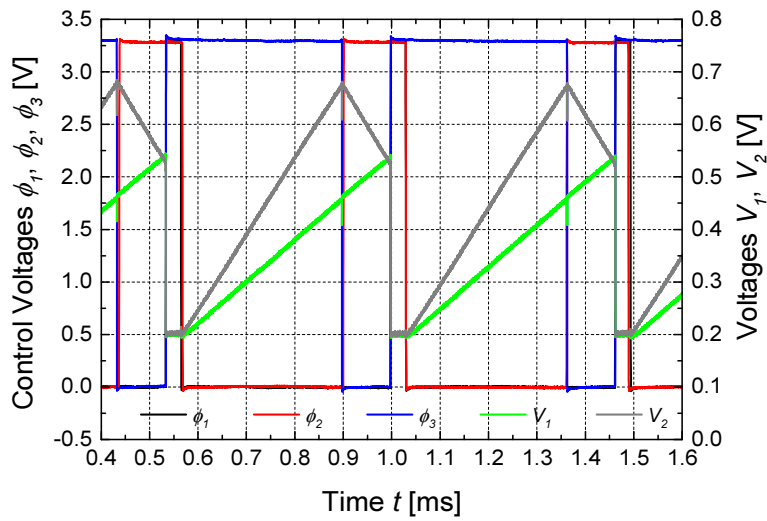
Slika 33. Izmjereni vremenski odzivi kontrolnih napona  $\phi_1$ ,  $\phi_2$  i  $\phi_3$ , kao i napona  $V_1$  i  $V_2$  na krajevima kondenzatora  $C_1$  i  $C_2$  respektivno, za vrijednosti kapacitivnosti  $C_1 = 489.2$  pF i  $C_2 = 490.6$  pF.



34. a)

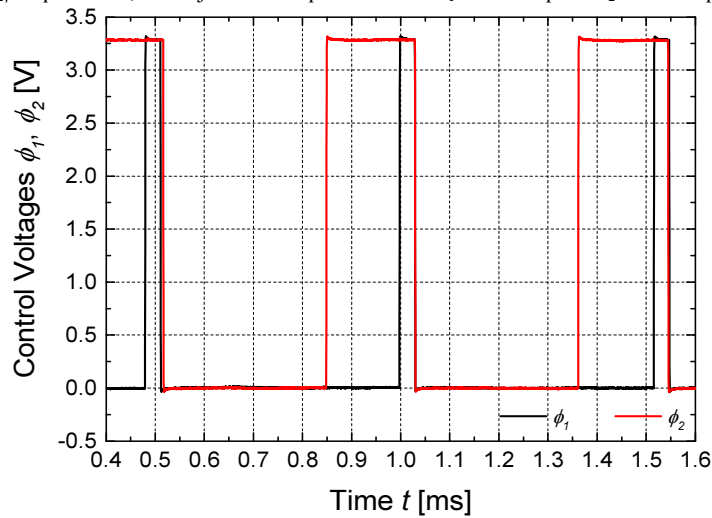


34. b)

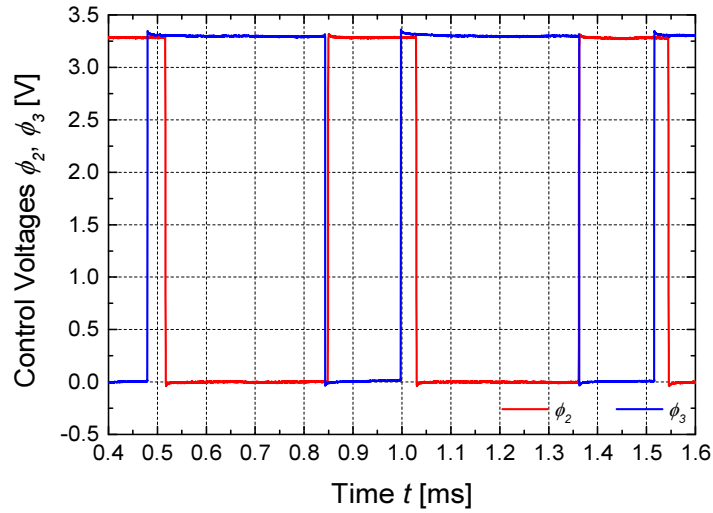


34. c)

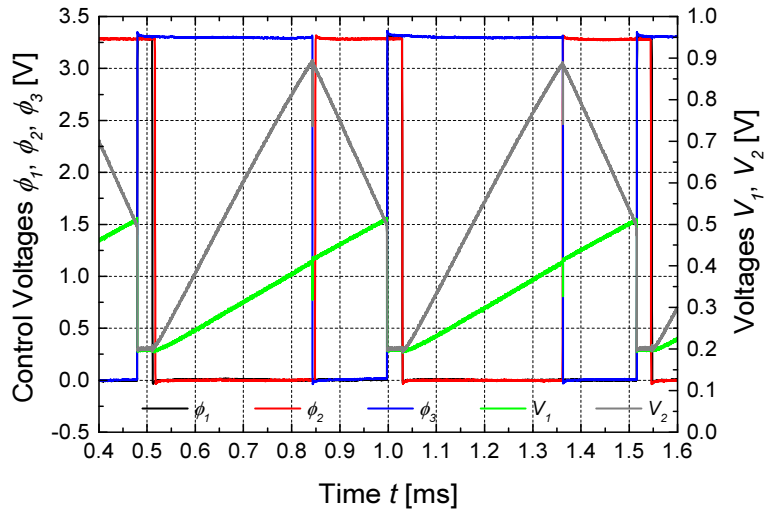
Slika 34. Izmjereni vremenski odzivi kontrolnih napona  $\phi_1$ ,  $\phi_2$  i  $\phi_3$ , kao i napona  $V_1$  i  $V_2$  na krajevima kondenzatora  $C_1$  i  $C_2$  respektivno, za vrijednosti kapacitivnosti  $C_1 = 655.4$  pF i  $C_2 = 324.6$  pF.



35. a)



35. b)



35. c)

Slika 35. Izmjereni vremenski odzivi kontrolnih napona  $\phi_1$ ,  $\phi_2$  i  $\phi_3$ , kao i napona  $V_1$  i  $V_2$  na krajevima kondenzatora  $C_1$  i  $C_2$  respektivno, za vrijednosti kapacitivnosti  $C_1 = 788.3$  pF i  $C_2 = 191.46$  pF.

U tabeli 1 su prikazani rezultati mjerenja diferencijalnog kapacitivnog senzora sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval.

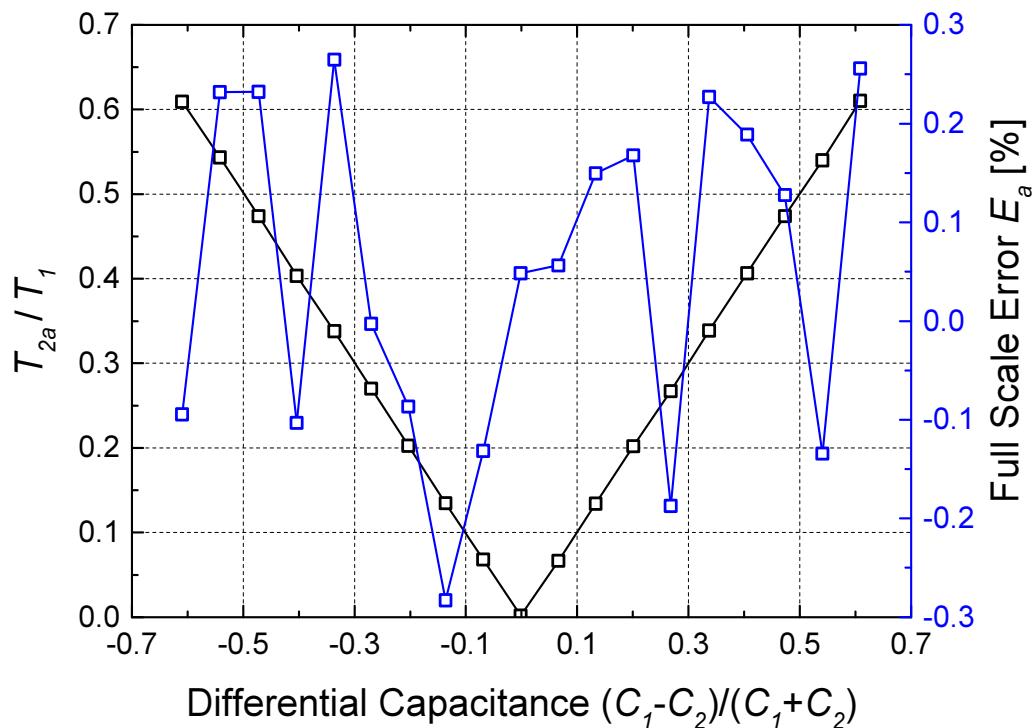
Tabela 1. Rezultati mjerenja diferencijalnog kapacitivnog senzora sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval.

$C_1$ [pF]	$C_2$ [pF]	$C_1+C_2$ [pF]	$C_1-C_2$ [pF]	$(C_1-C_2)/(C_1+C_2)$	$ C_1-C_2 /(C_1+C_2)$	$T_1$ [ $\mu$ m]	$T_2/T_1$	$E_L$ [%]
191.14	788.6	979.74	-597.46	-0.60981	0.60981	335.74	0.60924	-0.09449
224.4	755.4	979.8	-531	-0.54195	0.54195	335.74	0.54336	0.23181
258.4	721.6	980	-463.2	-0.47265	0.47265	335.74	0.47407	0.23215
292	688	980	-396	-0.40408	0.40408	335.74	0.40345	-0.10309
325.2	655	980.2	-329.8	-0.33646	0.33646	335.74	0.33808	0.26468

357.7	622.5	980.2	-264.8	-0.27015	0.27015	335.74	0.27013	-0.00282
390.5	589.7	980.2	-199.2	-0.20322	0.20322	335.74	0.2027	-0.08663
423.3	557	980.3	-133.7	-0.13639	0.13639	335.74	0.13466	-0.2829
456.4	523.9	980.3	-67.5	-0.06886	0.06886	335.74	0.06805	-0.1315
489.3	490.9	980.2	-1.6	-0.00163	0.00163	335.74	0.00193	0.04841
522.6	457.6	980.2	65	0.06631	0.06631	335.74	0.06666	0.05638
555.4	424.8	980.2	130.6	0.13324	0.13324	335.74	0.13415	0.14951
588.6	391.5	980.1	197.1	0.2011	0.2011	335.74	0.20213	0.16786
621.5	358.6	980.1	262.9	0.26824	0.26824	335.74	0.2671	-0.18723
655.5	324.8	980.3	330.7	0.33735	0.33735	335.74	0.33873	0.22711
688.8	291.5	980.3	397.3	0.40528	0.40528	335.74	0.40644	0.18896
722.1	258.2	980.3	463.9	0.47322	0.47322	335.74	0.474	0.12766
755	225.1	980.1	529.9	0.54066	0.54066	335.74	0.53984	-0.13433
788.5	191.79	980.29	596.71	0.60871	0.60871	335.74	0.61027	0.25584

Na slici 36. prikazan je izmjereni odnos trajanja druge faze  $T_2/T_1$  i diferencijalne kapacitivnosti  $(C_1-C_2)/(C_1+C_2)$  sa korespondirajućom „full-scale“ greškom  $E_a$ .

Zaključuje se da je „full-scale“ greška manja od 0.3%. Greška koja je uzrokovana parazitnim kapacitivnostima je dominantna u zoni gdje je visoka vrijednost diferencijalne kapacitivnosti  $(C_1-C_2)/(C_1+C_2)$ . Sa druge strane, greška koja je uzrokovana kašnjenjem komparatora i kontrolne jedinice dominira u zoni gdje je niska vrijednost diferencijalne kapacitivnosti  $(C_1-C_2)/(C_1+C_2)$ .



Slika 36. Izmjereni odnos trajanja druge faze  $T_2/T_1$  i diferencijalne kapacitivnosti  $(C_1 - C_2) / (C_1 + C_2)$  sa korespondirajućom „full-scale“ greškom  $E_a$ .

U tabeli 2. je prikazana uporedna analiza predloženog DCS-a sa strujnim procesiranjem i najboljih rješenja iz domena konverzije diferencijalne kapacitivnosti u vrijeme/frekvenciju i digitalni ekvivalent.

U tabeli 2. kolona označena sa NDC (normalized differential capacitance) predstavlja diferencijalnu kapacitivnost  $(C_1 - C_2) / (C_1 + C_2)$ , a kolona označena sa PP (post-processing) daje informaciju da li dato kolo zahtijeva dodatno procesiranje.

Iz tabele se vidi da predloženi diferencijalni kapacitivni senzor sa strujnim procesiranjem ima prednost u odnosu na većinu postojećih rješenja u pogledu napona napajanja, kao i u brzini konverzije. Takođe, većina datih rješenja zahtijeva dodatno procesiranje da bi se došlo do željenih rezultata. Upoređujući predloženi DCS sa [14] i [16] koji ne zahtijevaju dodatno procesiranje, vidi se da posjeduje prednost u pogledu napona napajanja (single supply naspram bipolarnog napajanja), kao i značajnu prednost u pogledu brzine konverzije, uz povećanu grešku.

Tabela 2. Uporedna analiza predloženog DCS-a sa strujnim procesiranjem i najboljih rješenja iz domena konverzije diferencijalne kapacitivnosti u vrijeme/frekvenciju i digitalni ekvivalent.

	Napon napajanja	Brzina [conv/s]	$C_0$ [pF]	NDC	$ NDC _{\max}$	PP	Greška [%]
[11]	bipolarni	~1000	3	$2T_1/(T_1+T_2)-1$ ; $T_1, T_2$ se mjere	NA	Da	0.10
[13]	bipolarni	25000	100	$AT-1$ ; $A=\text{const.}$ , $T$ se mjeri	0.90	Da	0.30
[14]	bipolarni	~10	500	$T_3/T_1$ , $T_1$ je fiksno, $T_3$ se mjeri	0.50	Ne	0.05
[16]	bipolarni	~10	250	$T_2/T_1$ , $T_1$ je fiksno, $T_2$ se mjeri	0.52	Ne	0.05
[17]	bipolarni	NA	1170	$T_1/T_2 - A$ ; $A=\text{const.}$ , $T_1, T_2$ se mjere	0.50	Da	1.39
[19]	bipolarni	~10	400	$(T_1-2T_2)/T_1$ ; $T_1$ je fiksno, $T_2$ se mjeri	0.50	Da	0.20
[20]	bipolarni	~200	250	$(T_1-T_2)/(T_1+T_2)$ ; $T_1, T_2$ se mjere	0.20	Da	0.64
[22]	Single (5V)	~20	1.5	$(T_1-T_2)/T_3$ ; $T_1, T_2, T_3$ se mjere	0.07	Da	1.10
[23]	bipolarni	63	250	$(f_1-f_2)/(f_1+f_2)$ ; $f_1, f_2$ se mjere	0.60	Da	0.24
ovaj rad	Single (3.3V)	min:1770 max:2755	485	$T_2/T_1$ ; $T_1$ je fiksno, $T_2$ se mjeri	0.61	Ne	0.30



# Zaključak

---

Diferencijalni kapacitivni senzor sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval namijenjen je aplikacijama koje zahtijevaju unipolarno napajanje, bez post-procesiranja. Normalizovana diferencijalna kapacitivnost definisana kao odnos razlike i sume kapacitivnosti kondenzatora koji formiraju diferencijalni kapacitivni senzor proporcionalna je dužini trajanja samo jednog varijabilnog vremenskog intervala. Pristup se bazira na integraciji referentne struje koja protiče kroz kondenzatore u sklopu diferencijalnog kapacitivnog senzora. Integracija referentne struje koja protiče kroz kondenzator manje kapacitivnosti obavlja se sa dvostrukim nagibom. Sa druge strane, integracija referentne struje koja protiče kroz kondenzator veće kapacitivnosti obavlja se sa jednim nagibom. Upotreba mikrokontrolera izbjegnuta je korišćenjem posebno isprojektovanog kola za generisanje kontrolnih napona koji regulišu rad bilateralnih CMOS prekidača, za generisanje dva vremenska intervala konstantne dužine trajanja, kao i za mjerenje dužine trajanja vremenskog intervala direktno proporcionalnog normalizovanoj diferencijalnoj kapacitivnosti. Prototip diferencijalnog kapacitivnog senzora sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval napravljen je korišćenjem diskretnih aktivnih i pasivnih komponenti povezanih na štampanoj ploči univerzalnog tipa, i eksperimentalno valorizovan.

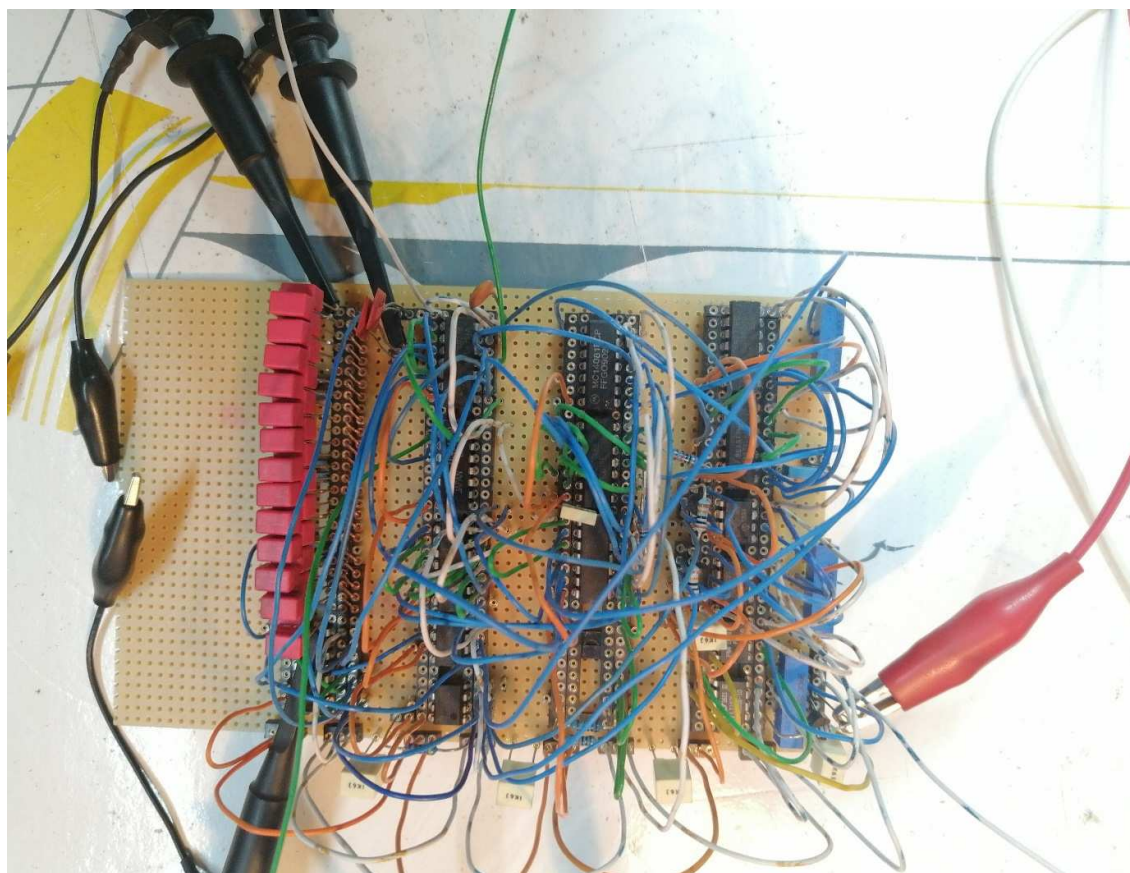
Greške uzrokovane prisustvom parazitnih kapacitivnosti i nedovoljne uparenosti struja dva referentna strujna izvora ograničavaju performanse predloženog rješenja. Greška uzrokovana nedovoljnom uparenošću struja dva referentna strujna izvora može se minimizirati jednostavnom kalibracijom ova dva strujna izvora. Sa druge strane, prisustvo parazitnih kapacitivnosti ograničava maksimalnu vrijednost normalizovane diferencijalne kapacitivnosti (maksimalnu vrijednost razlike kapacitivnosti diferencijalnog kapacitivnog senzora), i predstavlja problem koji se ne može riješiti primjenom jednostavne kalibracije. Pokazuje se da je greška uslijed parazitnih kapacitivnosti veća ukoliko je pojedinačna kapacitivnost diferencijalnog kapacitivnog senzora manja. Ovu grešku je moguće smanjiti povećanjem nominalne kapacitivnosti kondenzatora diferencijalnog kapacitivnog senzora u neopterećenom stanju. Međutim, ovaj pristup smanjivanja uticaja ovog tipa greške je u suprotnosti sa trendom minijaturizacije senzorske interfejsne elektronike, odnosno minimizacije vrijednosti pasivnih komponenti. Kako su parazitne kapacitivnosti posljedica konačnih dimenzija aktivnih i pasivnih komponenti, prisustva metalizacija na štampanoj ploči, i korišćenja metalnih kratko-spojnika (jumper-a) u prototipu realizovanom u diskretnoj tehnici, normalizovana diferencijalna kapacitivnost ima ograničen opseg za unaprijed definisanu vrijednost nominalne kapacitivnosti kondenzatora diferencijalnog kapacitivnog senzora u neopterećenom stanju. Potencijalna realizacija predloženog rješenja u integrisanoj tehnologiji značajno relaksira navedeni

problem zbog malih parazitnih efekata koje unose aktivne i pasivne komponente integrisane na čipu. Samim tim, realizacija predloženog rješenja u integrisanoj tehnologiji će rezultirati većim opsegom normalizovane diferencijalne kapacitivnosti uz manju vrijednost nominalne kapacitivnosti kondenzatora diferencijalnog kapacitivnog senzora u neopterećenom stanju.

Diferencijalni kapacitivni senzor sa strujnim procesiranjem na bazi pretvaranja diferencijalne kapacitivnosti u digitalizovani vremenski interval predstavlja prvi diferencijalni kapacitivni senzor sa unipolarnim napajanjem bez post-procesiranja koji je do sada realizovan. Takođe, zahvaljujući strujnom procesiranju postignuta je značajno veća brzina konverzije normalizovane diferencijalne kapacitivnosti u digitalizovani vremenski ekvivalent u odnosu na većinu postojećih rješenja koja se baziraju na konverziji normalizovane diferencijalne kapacitivnosti u vremenski interval.

**Dodatak – fotografije diferencijalnog kapacitivnog senzora sa strujnim procesiranjem baziranog na konverziji diferencijalne kapacitivnosti u digitalizovani vremenski interval, realizovanog u diskretnoj tehnici**

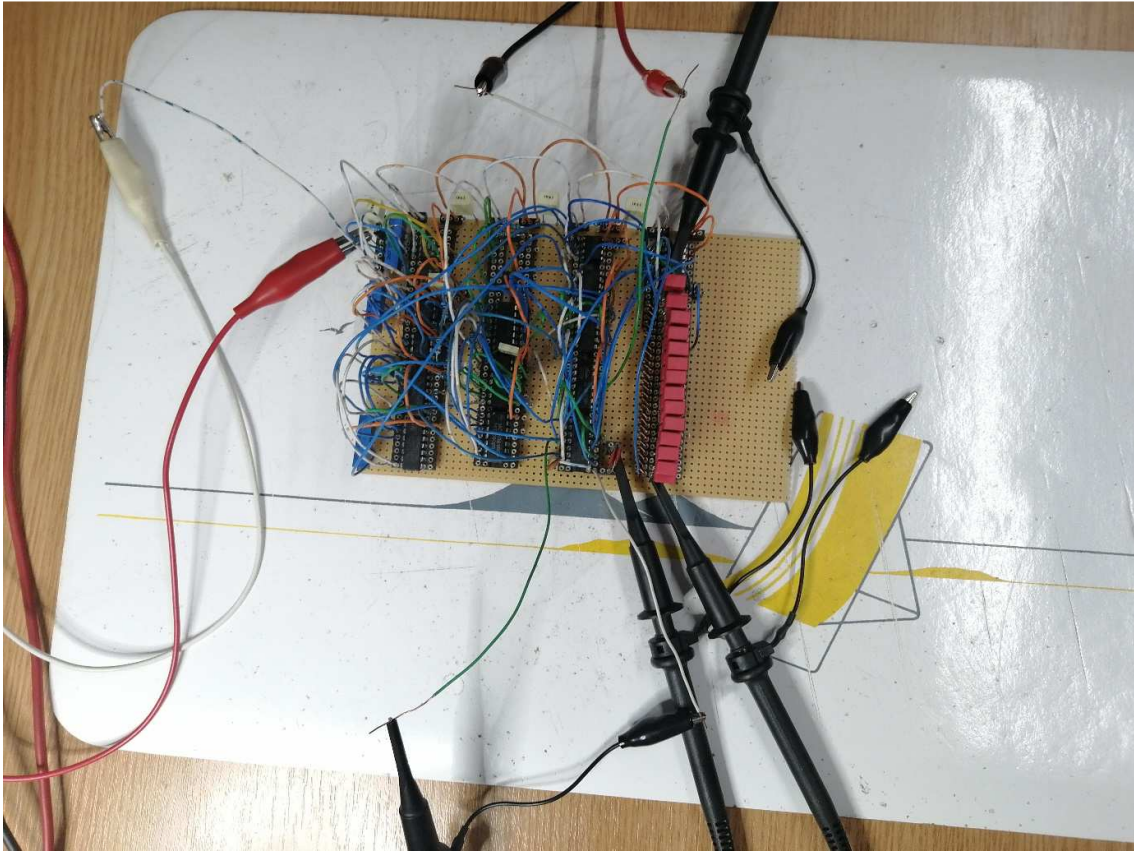
---



Slika 37. Prototip diferencijalnog kapacitivnog senzora sa strujnim procesiranjem baziranog na konverziji diferencijalne kapacitivnosti u digitalizovani vremenski interval realizovan u diskretnoj tehnici



Slika 38. Measurement set-up



Slika 39. Measurement set up (1)

# Literatura

---

- [1] K. Mochizuki, T. Masuda, and K. Watanabe, "An interface circuit for high-accuracy signal processing of differential-capacitance transducers", IEEE Transactions on Instrumentation and Measurement, vol. 47, no. 4, pp. 823-827, August 1998.
- [2] K. Mochizuki, K. Watanabe, and T. Masuda, "A high-accuracy, high-speed signal processing circuit of differential-capacitance transducers", IEEE Transactions on Instrumentation and Measurement, vol. 47, no. 5, pp. 1244-1247, October 1998.
- [3] S. Ogawa, Y. Oisugi, K. Mochizuki, and K. Watanabe, "A switched-capacitor interface for differential capacitance transducers", IEEE Transactions on Instrumentation and Measurement, vol. 50, no. 5, pp. 1296-1301, October 2001.
- [4] N. M. Mohan and V.J. Kumar, "Novel signal conditioning circuit for push-pull type capacitive transducers", IEEE Transactions on Instrumentation and Measurement, vol. 56, no. 1, pp. 153-157, Februar 2007.
- [5] B. George and V. J. Kumar, "Switched capacitor signal conditioning for differential capacitive sensors", IEEE Transactions on Instrumentation and Measurement, vol. 56, no. 3, pp.913-917, June 2007.
- [6] F. Aezinia and B. Bahreyni, "A low power CMOS integrated circuit for differential capacitive measurement", In the Proceedings of the IEEE 56th International Midwest Symposium on Circuits and Systems, pp. 189-139, Columbus, OH, USA, August 4-7, 2013.
- [7] G. Ferri, V. Stornelli, F.R. Parente, and G. Barile, " Full range analog Wheatstone bridge-based automatic circuit for differential capacitance sensor evaluation ", International Journal of Circuit Theory and Applications, vol. 45, no. 12, pp. 2149-2156, October 2016.
- [8] A. Depari, E. Sisinni, A. Flammini, G. Ferri, V. Stornelli, G. Barile, and F.R. Parente, "Autobalancing analog front end for full-range differential capacitive sensing", IEEE Transactions on Instrumentation and Measurement, vol. 67, no. 4, pp. 885-893, April 2018.
- [9] S. Pennisi, "High-performance and simple CMOS interface circuit for differential capacitive sensors", IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 52, no. 6, pp. 327-330, June 2005.
- [10] G. Scotti, S. Pennisi, P. Monsurro, and A. Trifiletti, " 88- $\mu$ A 1-MHz stray-insensitive CMOS current-mode interface IC for differential capacitive sensors ", IEEE Transactions on Circuits and Systems I: Regular Papers, vol. 61, no. 7, pp. 1905-1916, July 2014.
- [11] K. Mochizuki, K. Watanabe, T. Masuda, and M. Katsura, "A relaxation-oscillator-based interface for high-accuracy ratiometric signal processing of differential-capacitance transducers", IEEE Transactions on Instrumentation and Measurement, vol. 47, no. 1, pp. 11-15, February 1998.

- [12] S. Ogawa, "A CMOS interface for differential capacitive sensors using a time-to-digital converter, in the Proceedings of IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 945-949, College Station, TX, USA, August 3-6, 2014.
- [13] N. Philip V., "Switched capacitor single-slope capacitance to direct digital converter for differential capacitive sensors", in the Proceedings of IEEE First International Conference on Control, Measurement and Instrumentation (CMI), pp. 239-243, Kolkata, India, January 8-10, 2016.
- [14] B. George and V. J. Kumar, "Switched capacitor triple slope capacitance to digital converter", IEE Proceedings - Circuits, Devices and Systems, vol. 153, no.2, pp. 148-152, April 2006
- [15] B. George and V. J. Kumar, "Novel switched-capacitor dual slope capacitance to digital converter for differential capacitive sensors", in the proceedings of the IEEE Instrumentation and Measurement Technology Conference, pp. 1-4, Singapore, May 5-7, 2009.
- [16] B. George and V. J. Kumar, "Analysis of the Switched-Capacitor Dual-Slope Capacitance-to-Digital Converter", IEEE Transactions on Instrumentation and Measurement, vol. 59, no. 5, pp. 997-1006, May 2010.
- [17] M. Nagai and S. Ogawa, "A high-accuracy differential-capacitance-to-time converter for capacitive sensors", in the Proceedings of the 58th IEEE International Midwest Symposium on Circuits and Systems (MWSCAS), pp. 1-4, Fort Collins, CO, USA, August 2-5, 2015.
- [18] S. Ogawa, "A low-power, high-accuracy capacitance-to-time converter for differential capacitive sensors", in the Proceedings of IEEE 8th Latin American Symposium on Circuits & Systems (LASCAS), pp. 1-4, Bariloche, Argentina, February 20-23, 2017.
- [19] N. M. Mohan , A. R. Shet, S. Kedarnath, and V. J. Kumar, "Digital converter for differential capacitive sensors", IEEE Transactions on Instrumentation and Measurement, vol. 57, no. 11, pp. 2576-2581, November 2008.
- [20] L. Areekath, B. George, and F. Reverter, "An Auto-Balancing Capacitance-to-Pulse-Width Converter for Capacitive Sensors", IEEE Sensors Journal, vol. 21, no. 1, pp. 765 - 775, January, 2021.
- [21] F. Reverter and O. Casas, "Direct interface circuit for differential capacitive sensors", in the Proceedings of IEEE International Instrumentation Measurement Technology Conference, pp. 1609-1613, Victoria, Vancouver Island, Canada, May 12-15, 2008.
- [22] F. Reverter and O. Casas, "Interfacing differential capacitive sensors to microcontrollers: a direct approach", IEEE Transactions on Instrumentation and Measurement, vol. 59, no. 10, pp. 2763-2769, October 2010.
- [23] L. Areekath, B. George, and F. Reverter, "A closed-loop capacitance-to-frequency converter for single-element and differential capacitive sensors", IEEE Transactions on Instrumentation and Measurement, vol. 69, no. 11, pp. 8773-8782, November 2020.